

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233507

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H01L 29/78
B41J 2/34
B41J 2/345
H01L 21/28
H01L 21/3205
H01L 27/04
H01L 21/822
// H01L 21/321
H04N 1/032

(21)Application number : 09-049464

(22)Date of filing : 04.03.1997

(71)Applicant : SEIKO INSTR INC

(72)Inventor : ISHII KAZUTOSHI
INOUE SHIGETO
MAEMURA KOUJI
NAKANISHI AKISHIGE
KOJIMA YOSHIKAZU
KADOI MASAOKI
AKIBA TAKAO
OMOYA YASUHIRO
KUCHARA KENTARO

(30)Priority

Priority number :	Priority date :	Priority country :
08 56587	13.03.1996	JP
08 64965	21.03.1996	JP
08 64966	21.03.1996	JP
08 92143	15.04.1996	JP
08 97119	18.04.1996	JP
08119300	14.05.1996	JP
08205033	02.08.1996	JP
08322001	02.12.1996	JP
08322004	02.12.1996	JP
08322005	02.12.1996	JP
08322003	02.12.1996	JP
08328826	09.12.1996	JP
08 97117	18.04.1996	JP
08322002	02.12.1996	JP
08 97118	18.04.1996	JP
08119301	14.05.1996	JP
08146230	07.06.1996	JP
08322006	02.12.1996	JP
08336093	16.12.1996	JP
08340067	19.12.1996	JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the chip area of a

semiconductor integrated circuit by constituting a drain area in a high-withstand voltage drain structure composed of a first drain area formed in a lightly doped deep impurity area and a second drain area formed in a heavily doped shallow impurity area and, at the same time, arranging an external electrical connecting terminal so that the terminal may overlap part of the drain area.

SOLUTION: A transistor that makes an electric current to flow to a heat-sensitive resistor has a first drain area 3B which is an N-type impurity area separately provided from a source area 2 through a channel forming area 15 and a second drain area 3A which is composed of three 3N+-type impurity areas provided in the surface of the first drain area 3B. On the second drain area 3A, an output aluminum pad area 9 is provided through the contact hole 12A of an intermediate insulating film 8. In the pad area 9, external electrically connecting terminals are arranged on the holed pattern of a final protective film 10. Since the pad area 9 is arranged on the drain area 3A such that the area 9 overlaps the drain area 3A in a plane, the chip area of a semiconductor integrated circuit can be reduced.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-233507

(43) 公開日 平成10年(1998) 9月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 X

B 4 1 J 2/34

21/28

3 0 1 R

2/345

H 0 4 N 1/032

A

H 0 1 L 21/28

3 0 1

B 4 1 J 3/20

1 1 2

21/3205

1 1 3 K

審査請求 未請求 請求項の数76 O L (全 43 頁) 最終頁に続く

(21) 出願番号 特願平9-49464

(71) 出願人 000002325

(22) 出願日 平成9年(1997) 3月4日

セイコーインスツルメンツ株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(31) 優先権主張番号 特願平8-56587

(72) 発明者 石井 和敏

千葉県千葉市美浜区中瀬1丁目8番地 セ

(32) 優先日 平8(1996) 3月13日

イコー電子工業株式会社内

(33) 優先権主張国 日本 (J P)

(72) 発明者 井上 成人

千葉県千葉市美浜区中瀬1丁目8番地 セ

(31) 優先権主張番号 特願平8-64965

イコー電子工業株式会社内

(32) 優先日 平8(1996) 3月21日

(72) 発明者 前村 好士

千葉県千葉市美浜区中瀬1丁目8番地 セ

(33) 優先権主張国 日本 (J P)

イコー電子工業株式会社内

(31) 優先権主張番号 特願平8-64966

(32) 優先日 平8(1996) 3月21日

(74) 代理人 弁理士 林 敬之助

(33) 優先権主張国 日本 (J P)

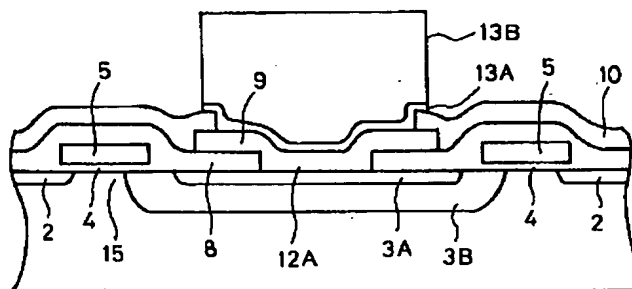
最終頁に続く

(54) 【発明の名称】 半導体集積回路とその製造方法

(57) 【要約】

【課題】 出力パッドを多数設けたドライバー I C のような半導体集積回路および電子時計などの電子回路装置において、チップ面積の縮小化を図り、生産効率の向上とコストダウンを図る。

【解決手段】 出力パッドに各々接続する駆動トランジスタ、あるいは、ロジック回路の上に平面的に重なって出力パッドを設けた。さらに、半導体装置の配線をアルミ配線だけでなく、バンプ電極あるいは、バリアメタルを用いた。また、プリント基板の上にフェイスダウン方式により半導体集積回路が電氣的に接着されている場合の電氣的接続は、半導体集積回路に設けられた半田バンプとプリント基板の配線とが直接、接続することにより形成される。この時半導体集積回路の外部接続端子であるバンプ電極はトランジスタの上に積層して設けられている。



【特許請求の範囲】

【請求項1】 支持基板の表面に設けられた第1導電型の半導体基板領域と、前記半導体基板領域の表面に設けられた第2導電型の絶縁ゲート電界効果型トランジスタと、前記絶縁ゲート電界効果型トランジスタのドレイン領域と金属膜を介して電氣的に接続して設けられた外部電気接続端子とから構成される半導体装置において、前記ドレイン領域が第2導電型の低濃度の深い不純物領域の第1のドレイン領域と、前記第1のドレイン領域の内側の表面に設けられた第2導電型の高濃度の浅い不純物領域である第2のドレイン領域とから成る高耐圧ドレイン構造で構成されるとともに、前記ドレイン領域の一部重なるようにして前記外部電気接続端子が配置されていることを特徴とする半導体集積回路。

【請求項2】 前記外部電気接続端子が高さ $10\mu\text{m}$ 以上のバンプ電極である請求項1記載の半導体集積回路。

【請求項3】 前記絶縁ゲート電界効果型トランジスタのゲート絶縁膜が 100\AA 以上 250\AA 以下の膜厚である請求項1記載の半導体集積回路。

【請求項4】 複数の出力パッド接地電極との間に各々オープンドレイン構造で電気接続された高耐圧絶縁ゲート電界効果型トランジスタと、前記高耐圧絶縁ゲート電界効果型トランジスタの各々のゲート電極の電位を制御する複数のプリアンプ回路と、複数の前記プリアンプ回路にそれぞれの信号を供給する複数のラッチ回路と、複数の前記ラッチ回路にそれぞれ順次信号を供給するフリップフロップ回路とから構成される半導体集積回路に置いて、前記出力パッドと前記高耐圧絶縁ゲート電界効果型トランジスタと前記プリアンプ回路と前記ラッチ回路と前記フリップフロップ回路とが前記半導体集積回路の長さ方向に沿って周期的に繰り返し平面的に配置されるとともに、前記高耐圧絶縁ゲート電界効果型トランジスタが前記出力パッドの間に配置されていることを特徴とする半導体集積回路。

【請求項5】 電源電圧より大きな電圧が印加される複数の出力パッドと、前記出力パッドの導電膜が延在してそれぞれドレイン領域と直接電気接続した駆動用高耐圧絶縁ゲート電界効果型トランジスタとから構成された半導体集積回路において、前記駆動用絶縁ゲート電界効果型トランジスタのゲート絶縁膜の膜厚を 100\AA から 250\AA の間にするとともに、前記駆動用絶縁ゲート電界効果型トランジスタを前記出力パッドの周囲に沿って配置したことを特徴とする半導体集積回路。

【請求項6】 前記駆動用絶縁ゲート電界効果型トランジスタを前記出力パッドの両側に線対称的に配置した請求項5記載の半導体集積回路。

【請求項7】 前記駆動用絶縁ゲート電界効果型トランジスタを前記出力パッドの周囲4方向に配置した請求項5記載の半導体集積回路。

【請求項8】 前記出力パッドがバンプを有している請

求項5記載の半導体集積回路。

【請求項9】 前記出力パッドが前記半導体集積回路の長辺方向に沿って1列または千鳥状に配置されている請求項5記載の半導体集積回路。

【請求項10】 複数の出力パッドと接地電極との間に各々オープンドレイン構造で電気接続された絶縁ゲート電界効果型駆動トランジスタと、前記絶縁ゲート電界効果型駆動トランジスタの各々のゲート電極の電位を制御する複数のロジック回路セルとから構成される半導体集積回路において、前記出力パッドと前記絶縁ゲート電界効果型駆動トランジスタと前記ロジック回路セルとが前記半導体装置の長さ方向に沿ってそれぞれ繰り返し周期的に配置されるとともに、前記出力パッドが前記絶縁ゲート電界効果型駆動トランジスタあるいは前記ロジック回路セルの上に重なって配置されていることを特徴とする半導体集積回路。

【請求項11】 前記出力パッドが前記絶縁ゲート電界効果型駆動トランジスタのドレイン電極の上のバリアメタルを介して設けられたバンプ電極である請求項10記載の半導体集積回路。

【請求項12】 前記絶縁ゲート電界効果型駆動トランジスタのソース電極がそれぞれ前記バリアメタルで電気接続している請求項10記載の半導体集積回路。

【請求項13】 前記ロジック回路セルの配線の一部として前記バリアメタルを用いた請求項11記載の半導体集積回路。

【請求項14】 半導体基板表面付近に設けられた絶縁ゲート電界効果型トランジスタ及び配線領域及び分離領域などにより構成される半導体電子回路と、前記半導体電子回路上に重なって設けられた外部電気接続端子用電極とから構成される半導体集積回路において、前記電子回路を構成するメタル配線層と前記外部電気接続端子用電極とを電氣的に接続するための保護膜開口部サイズが $900\pi\mu\text{m}^2$ 以下の面積で設けられていることを特徴とする半導体集積回路。

【請求項15】 前記外部電気接続端子用電極は高さ $10\mu\text{m}$ 以上のバンプ電極である請求項14記載の半導体集積回路。

【請求項16】 前記電子回路を構成するメタル配線層と前記外部電気接続端子用電極とを電氣的に接続するための保護膜開口部が前記外部電気接続端子用電極の中心部分以外に設けられている請求項15記載の半導体集積回路。

【請求項17】 前記電子回路を構成するメタル配線層と前記外部電気接続端子用電極とを電氣的に接続するための保護膜開口部が前記外部電気接続端子用電極の下に重ねて1箇所以上設けられている請求項16記載の半導体集積回路。

【請求項18】 前記外部電気接続端子用電極は前記メタル配線層上にバリアメタルを介して設けたことを特徴

とする請求項17記載の半導体装置。

【請求項19】 前記半導体電子回路がサーマルプリントヘッドの発熱体駆動用ICである請求項18記載の半導体集積回路。

【請求項20】 前記半導体電子回路が液晶表示パネルの液晶駆動用ICである請求項18記載の半導体集積回路。

【請求項21】 前記半導体電子回路がクォーツ時計のステップモーター駆動用ICである請求項18記載の半導体集積回路。

【請求項22】 前記半導体電子回路が不揮発性メモリICである請求項18記載の半導体集積回路。

【請求項23】 基板の表面に互いに離れて設けられた第1と第2の金属電極と、前記第1と第2の金属電極と同じ金属からなる金属配線と、前記金属配線を含む前記基板の表面に設けられた最終保護膜と、前記第1と第2の金属電極の上に設けられた前記最終保護膜の窓あげ領域と、前記最終保護膜の窓あげ領域の上と前記第1と第2の金属電極との間の前記最終保護膜の上に前記第1と第2の金属電極を電気接続するように配線されたバリア

メタル膜とから構成された半導体集積回路。

【請求項24】 前記バリアメタル膜の上にバンパ構造の金属が設けられている請求項23記載の半導体集積回路。

【請求項25】 前記バリアメタル膜が複数の円形パターンを直列接続した平面パターンである請求項23記載の半導体集積回路。

【請求項26】 バンプ及び該バンパの下にバリアメタル膜を有する半導体集積回路において、バリアメタル膜を半導体素子上にも配置したことを特徴とする半導体集積回路。

【請求項27】 電子回路上に配置されたバンパ電極が、一つの電氣的電極に対して複数のマトリックス状バンパ電極としたことを特長とする半導体集積回路装置。

【請求項28】 電子回路上に配置されたバンパ電極が、一つの電氣的電極に対して複数の線状バンパ電極としたことを特長とする半導体集積回路装置。

【請求項29】 電子回路上に配置されたバンパ電極が、中に隙間を持っていることを特長とする半導体集積回路装置。

【請求項30】 電子回路上に配置されたバンパ電極が、櫛型形状をしていることを特長とする半導体集積回路装置。

【請求項31】 外部電気接続端子用電極が電子回路素子上に設けられていることを特徴とする半導体集積回路。

【請求項32】 電子回路素子上に設けられた外部電気接続端子用電極において、前記外部電気接続端子用電極が隙間を持っていることを特徴とする半導体集積回路。

【請求項33】 電子回路素子上に設けられた外部電気

接続端子用電極において、前記外部電気接続端子用電極が格子形状をしていることを特徴とする半導体集積回路。

【請求項34】 電子回路素子上に設けられた外部電気接続端子用電極において、前記外部電気接続端子用電極が連続な長方形形状をしていることを特徴とする半導体集積回路。

【請求項35】 電子回路素子上に設けられた外部電気接続端子用電極において、前記外部電気接続端子用電極が曲線形状をしていることを特徴とする半導体集積回路。

【請求項36】 電子回路素子上に設けられた外部電気接続端子用電極において、前記外部電気接続端子用電極が表面に凹凸を持っていることを特徴とする半導体集積回路。

【請求項37】 電子回路素子上に設けられた外部電気接続端子用電極において、前記外部電気接続端子用電極表面の凹凸が、前記外部電気接続端子用電極直下の構成膜によって作られていることを特徴とする半導体集積回路。

【請求項38】 前記外部電気接続端子用電極表面の凹凸が、前記外部電気接続端子用電極直下の分離用絶縁膜により形成されていることを特徴とする半導体集積回路。

【請求項39】 前記外部電気接続端子用電極表面の凹凸が、前記外部電気接続端子用電極直下の別の配線材料により形成されていることを特徴とする半導体集積回路。

【請求項40】 電子回路素子上に設けられた外部電気接続端子用電極において、前記外部電気接続端子用電極表面に設けられた凹凸が1個以上の多角形であることを特徴とする半導体集積回路。

【請求項41】 電子回路素子上に設けられた外部電気接続端子用電極において、前記外部電気接続端子用電極表面に設けられた凹凸が同心円または螺旋形状であることを特徴とする半導体集積回路。

【請求項42】 バンパ電極を有する半導体集積回路において、バンパ電極を電子回路上に配置したことを特徴とする半導体集積回路集積回路。

【請求項43】 バンパ電極に、中空部を有する第42項記載の半導体集積回路装置。

【請求項44】 前記バンパ電極中空部が、バンパ電極材料よりも柔らかい材料で埋め込まれている第42項記載の半導体集積回路装置。

【請求項45】 前記バンパ電極中空部に、ポリイミド樹脂が埋め込まれている第42項記載の半導体集積回路装置。

【請求項46】 前記バンパ電極中空部に、ホトレジストが埋め込まれている第42項記載の半導体集積回路装置。

【請求項47】 電子回路素子上に設けられた外部電気接続端子用電極において、前記外部電気接続端子用電極直下の絶縁膜がポリイミド樹脂でできていることを特徴とする半導体集積回路。

【請求項48】 半導体基板表面付近に設けられた絶縁ゲート電界効果型トランジスタ及び配線領域及び分離領域などにより構成される半導体電子回路と、前記半導体電子回路上に重ねて設けられた外部電気接続端子用電極とから構成される半導体装置において、前記半導体電子回路を構成するメタル配線層の膜厚が $2\mu\text{m}$ から $4\mu\text{m}$ であることを特徴とする半導体集積回路。

【請求項49】 前記外部電気接続端子用電極上に高さ $10\mu\text{m}$ 以上のバンプ電極を設けた請求項48記載の半導体集積回路。

【請求項50】 前記メタル配線層が前記外部電気接続端子用電極を兼用する請求項48記載の半導体集積回路。

【請求項51】 前記半導体電子回路がサーマルプリントヘッドの発熱体駆動用ICである請求項49記載の半導体集積回路。

【請求項52】 前記半導体電子回路が液晶表示パネルの液晶駆動用ICである請求項48記載の半導体集積回路。

【請求項53】 前記半導体電子回路がクォーツ時計のステップモーター駆動用ICである請求項48記載の半導体集積回路。

【請求項54】 前記半導体電子回路が不揮発性メモリICである請求項48記載の半導体集積回路。

【請求項55】 外部からの信号を入力する複数のパッド電極と、前記それぞれのパッド電極に接続され、前記パッド電極から入力した信号により発生する過電流を逃がす複数の保護回路と、前記複数のパッド電極と前記複数の保護回路を介して入力された外部信号を処理する内部回路よりなる半導体集積回路において、前記複数のパッド電極の内少なくとも1つのパッド電極と該パッド電極に対応する保護回路との間に他の回路素子が介在されて配置されていることを特徴とする半導体集積回路。

【請求項56】 外部からの信号を入力する複数のパッド電極と、前記それぞれのパッド電極に接続され、前記パッド電極から入力した信号により発生する過電流を逃がす複数の保護回路と、前記複数のパッド電極と前記複数の保護回路を介して入力された外部信号を処理する内部回路よりなる半導体集積回路において、前記複数の保護回路の内少なくとも2つ以上の保護回路が、1つ以上のブロックとして配置されていることを特長とする半導体集積回路装置。

【請求項57】 前記パッド電極と前記保護回路を結ぶ配線が、前記内部回路の表面部分に絶縁膜を介して配置されている請求項56記載の半導体集積回路装置。

【請求項58】 バンプ電極及び、ダミーにバンプ電極

を有する半導体集積回路において、ダミーバンプを電子回路上に配置したことを特徴とする半導体集積回路装置。

【請求項59】 ダミーバンプの平面積がバンプ電極より大ききことを特徴とする請求項58記載の半導体集積回路装置

【請求項60】 ダミーバンプの平面積がバンプ電極より小さくかつマトリックス状に配列されていることを特徴とする請求項58記載の半導体集積回路装置。

【請求項61】 ダミーバンプのなかに単数もしくは複数の隙間を持つことを特徴とする請求項58記載の半導体集積回路装置。

【請求項62】 ダミーバンプが半導体基板の周辺部に配置されていることを特徴とする請求項58記載の半導体集積回路装置。

【請求項63】 ウェハの半導体領域の表面に複数のトランジスタを形成する工程と、前記トランジスタの電極を金属配線する工程と、前記金属配線の上に保護膜を形成する工程と、前記ウェハのスクライブ領域に沿って前記ウェハを切断する工程とからなる半導体集積回路の製造方法において、前記ウェハを切断する工程が第1の切断工程と第2の切断工程とからなるとともに、前記第1の切断工程の切断速度が前記第2の切断工程の切断速度より遅いことを特徴とする半導体集積回路の製造方法。

【請求項64】 前記第1の切断工程を化学的手段で切断する請求項63記載の半導体集積回路の製造方法。

【請求項65】 前記第1の切断工程で前記半導体領域の表面の前記トランジスタより深く切断する請求項63記載の半導体集積回路の製造方法。

【請求項66】 基板の第1導電型の半導体領域の表面に電子回路を設けると共に、前記基板をスクライブによりチップに分割された半導体集積回路において、前記チップの側面のスクライブ面に沿って前記基板の段差領域を設けたことを特徴とする半導体集積回路。

【請求項67】 前記段差領域の深さが前記電子回路を構成する第2導電型の拡散領域の深さより大きく設けられた請求項66記載の半導体集積回路。

【請求項68】 外部電気接続端子が前記電子回路を構成するトランジスタの上に配置されている請求項66記載の半導体集積回路。

【請求項69】 基板表面に分離領域で電氣的に分離されて設けられた複数の電界効果トランジスタと、前記複数の電界効果トランジスタの一部のトランジスタの上に積層して設けられた外部接続端子を有する半導体集積回路において、前記外部接続端子の下の前記分離領域にシールド電極を設けたことを特徴とする半導体集積回路。

【請求項70】 前記外部接続端子がバンプ電極であることを特徴とする請求項69記載の半導体集積回路。

【請求項71】 基板表面に分離領域で電氣的に分離されて設けられた複数の電界効果トランジスタと、前記複

数の電界効果トランジスタの一部のトランジスタの上に積層して設けられた外部接続端子を有する半導体集積回路において、前記外部接続端子の下の前記分離領域の中間に反転防止用高濃度不純物領域を設けたことを特徴とする半導体集積回路。

【請求項72】 基板表面に分離領域で電氣的に分離されて設けられた複数の電界効果トランジスタと、前記複数の電界効果トランジスタの一部のトランジスタの上に積層して設けられた外部接続端子を有する半導体集積回路において、前記外部接続端子の下の前記分離領域と前記外部接続端子の以外の下の前記分離領域とが異なる分離構造であることを特徴とする半導体集積回路。

【請求項73】 絶縁基板の表面に金属配線を設けたプリント基板と、前記プリント基板の表面の前記金属配線に外部接続端子が電氣的に接続した半導体集積回路とから成る電子回路において、前記外部接続端子が前記半導体集積回路の能動素子領域の上に設けられていることを特徴とする電子回路。

【請求項74】 前記外部接続端子がバンプ電極である請求項73記載の電子回路。

【請求項75】 半導体ウェハの表面に集積回路を加工する工程と、前記集積回路の表面に保護膜を形成する工程と、前記保護膜の一部に窓あけて外部接続端子領域となるパッド部を形成する工程と、前記パッド部に半田バンプ電極を形成する工程と、前記半導体ウェハをスクライプしてチップにする工程と、前記チップの表面の前記半田バンプ電極の表面に半田ヤニを塗布する工程と、前記チップを実装するプリント基板にフェイスダウン方式で前記半田バンプ電極と前記プリント基板の金属配線とが重なる所定の場所に接着する工程と、前記チップの裏面から前記チップを加熱する工程と、前記チップの表面に遮光膜を形成する工程とからなる電子回路の製造方法。

【請求項76】 前記チップを加熱する工程が、熱風を前記チップの裏面に当てる工程である請求項75記載の電子回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の利用分野】 本発明は、液晶表示パネルの液晶駆動用、ファクシミリのプリンタに利用されているサーマルヘッドプリンタ用、クォーツ時計のステップモーター駆動用および不揮発性メモリー用の半導体集積回路装置とその製造方法に関する。本発明は、上記半導体集積回路を用いた電子回路とその製造方法に関する。

【0002】

【発明の属する技術分野】 本発明は、高耐圧構造の絶縁ゲート電界効果型の半導体集積回路に関し、特に液晶駆動用、感熱紙抵抗駆動用等のドライバーICに関する。本発明は半導体装置に関する。特に好ましくは、サーマルヘッド用半導体集積回路のように、複数の駆動トラン

ジスタを有し、各々の駆動トランジスタに出力パッドを有した半導体装置に関する。

【0003】 外部電気接続端子を電子回路上に持つ半導体回路装置に関するものである。本発明は半導体集積回路の安定動作に関するものである。特にバンプ電極を電子回路上に持つ半導体回路装置に関する。内部素子を保護するための保護回路を内蔵した半導体集積回路装置に関するものである。

【0004】 バンプ電極を持つ半導体集積回路装置に関する。特に好ましくは、サーマルヘッド駆動用半導体集積回路のような、チップ面積に対して非常にチップ辺の長さが大きい半導体集積回路に関する。本発明は半導体集積回路の製造方法に関する。特に好ましくは、サーマルヘッド駆動用半導体集積回路のような非常に細長い、周辺長の長い半導体集積回路の製造方法に関する。

【0005】 本発明は複数のトランジスタを同一基板上に集積化した半導体集積回路に関する。特に、外部接続端子であるパッド部がトランジスタの上に設けられた半導体集積回路に関する。本発明は電子回路及びその製造方法に関する。特に、プリント基板にフェイスダウン方式で実装された集積回路を含む電子回路に関する。特に好ましくは、電子時計に用いる電子回路に関する。

【0006】

【従来の技術】 従来のサーマルヘッド用の半導体装置（半導体集積回路）においては、感熱紙に沿って直線的に複数並んだ数 $k\Omega$ の抵抗に約10mAの電流をプリント情報に応じて流すスイッチの機能を有している。感熱用の各々の抵抗は、半導体装置の表面に設けられた外部接続端子と電氣的に接続して設けられている。

【0007】 図2は、一般的なサーマルヘッド用半導体装置の出力部の断面図である。サーマルヘッド基板上には、感熱用抵抗と半導体装置とが平面的に離れ配置されている。感熱用抵抗は、ボンディング線11で電氣的に直接接続している。ボンディング線11は、アルミ配線で形成されたパッド領域とボンディング工程により機械的電氣的に接続している。パッド領域とは、アルミ配線9の上の最終パッシベーション膜10を穴あけて外部接続するために設けられたアルミ膜パターンである。パッド領域の下には、ボンディング工程での機械的ストレスに耐えられる中間絶縁膜8とフィールド絶縁膜6が設けられている。パッド領域のアルミ配線9は、平面的に配置された抵抗駆動用絶縁ゲート電界効果型トランジスタのドレイン領域とコンタクト領域12を介して電氣的に接続している。ドレイン領域は、低濃度不純物領域から成る第1のドレイン領域3Bと、高濃度不純物領域から成る第2のドレイン領域3Aとから構成される高耐圧構造で形成されている。感熱用の抵抗に約10mAの大電流を流すために、抵抗には約30Vの高電圧が印加されている。従って、スイッチとして機能するトランジスタがOFFしている場合には、ドレイン領域に同様の約

10

20

30

40

50

3.0Vの高電圧が印加される。各々の感熱抵抗をスイッチするトランジスタが、抵抗の数だけ半導体の長手方向に沿って、図3のように一列に複数配置されている。

【0008】従来の半導体装置の例を図3に示す。図3は、サーマルヘッド用半導体集積回路の平面図である。外部導出電極として、出力パッド01、02～ONおよび電源パッドP1、P2等がチップ50の周囲に配置されている。トランジスタを集積化した回路は、外部導出電極から平面的に離れて配置されている。即ち、各々の出力パッドに対応して駆動トランジスタT1、T2～TNが電氣的に接続して配置され、さらに、その各々の駆動トランジスタのゲート電極を制御するためのロジック回路L1、L2～LNがチップ50の長さ方向に沿って繰り返し周期的に配置されている。外部導出電極は最終保護膜に窓あけ92を設け、その窓あけ92の上にバンプ93が設けられている。図3はバンプであるが、ボンディングの場合もある。

【0009】図4に従来の半導体集積回路装置を示す。半導体基板601上に外部との接続を行う端子としての複数のパッド電極603が設けられている。それぞれのパッド電極603は、それぞれの保護回路604を介して内部電子回路602に接続されている。保護回路604は、図示しない外部回路から内部回路602に入力される静電気やノイズにより発生する過電流で内部回路602が破壊することを防ぐために過電流を逃がすためのものである。基本的には、パッド電極603一つに対し、保護回路604が1個必要である。また、過電流を逃がす以上、保護回路604は逃がした電荷が内部回路602に到達しないように内部回路602と距離的に十分離す必要がある。

【0010】

【発明が解決しようとする課題】しかし、従来のサーマルヘッド用半導体装置においては、下記の課題があった。すなわち、図2に示すように、トランジスタとボンディングパッドとが平面的に離して設ける必要があったために、半導体装置の面積が大きくなり製造コストを低くすることが困難であった。

【0011】また、従来の高耐圧MOSトランジスタにおいては、高耐圧特性を得るための低濃度ドレイン領域の拡散の深さが浅いために、そこでの抵抗増により大きな電流を流すためには大きな面積のトランジスタが必要であった。また、高耐圧特性を得るための低濃度ドレイン領域の抵抗を減らすために濃度を高くするとドレイン耐圧が10V以下に低くなってしまった。さらに、別の方法として、低濃度のまま拡散の深さを深くすると高耐圧特性を得るための低濃度ドレイン領域が横方向にも大きくなり大きなトランジスタになってしまう。

【0012】図2で示したような従来の半導体装置においては、トランジスタが配置されている能動素子領域と外部導出電極とが離れて別々の領域に配置されているた

めに、チップ面積が大きく、チップコストを減少できないという欠点があった。従来の半導体装置においては、外部電気接続端子用メタル電極は、パッシベーション膜の開口部サイズより大きく形成するため、外部電気接続端子用メタル電極の存在する領域には同じメタル配線を重ねて形成する事ができず、チップサイズが小さくならないという課題を有していた。

【0013】液晶パネルなどに利用される半導体集積回路は、COG (Chip on Glass) の様にガラス基板に直接半導体集積回路を実装するような技術の場合には、液晶パネルのガラスを通して入ってくる光にさらされ、半導体集積回路が誤動作を起こしてしまうために、遮光が必要であり、遮光膜として集積回路内の金属配線を用いている。液晶パネルなどに利用される半導体集積回路内に金属配線を用いた場合、本来配線として用いているために、配線と遮光膜領域に隙間が生じてしまい有効な遮光ができなかった。また配線と配線の間を遮光しているために遮光膜の電位を安定させることが出来ない場合が生じやすく、その場合フローティングの状態になってしまっており安定動作の面から好ましくなかった。

【0014】従来の半導体装置においては、バンプ電極と外部回路を接続させるために外部回路と半導体基板に間に圧力をかける。その際、バンプ電極下にパッシベーション膜及びポリシリコン抵抗を形成するとパッシベーション膜及び、ポリシリコン抵抗にも力が加わり、パッシベーション膜にはクラックが入り半導体集積回路の信頼性を低下させ、また、ポリシリコン抵抗は変形し抵抗値が変わり半導体集積回路の特性を低下させてしまう。

【0015】従来の半導体装置においては、外部電気接続端子用アルミニウム電極とボンディングワイヤーを接続させるためにボンディングワイヤーと半導体基板に間に圧力をかける。その際、バンプ電極下にパッシベーション膜及びポリシリコン抵抗を形成するとパッシベーション膜及び、ポリシリコン抵抗にも力が加わり、パッシベーション膜にはクラックが入り半導体集積回路の信頼性を低下させ、ポリシリコン抵抗は変形し抵抗値が変わり半導体集積回路の特性を低下させてしまう。

【0016】従来の半導体装置は、図4に示すようにパッド電極603の数分の保護回路604が必要となる。そして、それぞれの保護回路604は内部電子回路602との距離を離す必要があるため、半導体基板601に占める保護回路604の面積が大きくなってしまい、半導体集積回路装置のチップサイズが大きくなり、半導体集積回路装置のコストが高くなってしまう。

【0017】従来の半導体集積回路装置においては、半導体集積回路装置にダミーバンプ領域を設けているため、チップサイズが大きくなり、チップコストが上昇する欠点があった。従来の半導体集積回路装置のコーナー部において、実装前のチップはシリコン基板がスクライ

ブ面により四角形に切断されている。半導体集積回路を構成する拡散領域は、スクライブ面より約 $40\ \mu\text{m}$ 離れてチップの内側に設けられている。

【0018】しかしながら、従来の半導体集積回路装置においては、拡散領域をスクライブ面から $40\ \mu\text{m}$ 以上離して設計、製造しているために、チップサイズが大きく、チップコストを減少できない欠点があった。従来の半導体集積回路装置において分離領域の上にパッド部を設けた場合、静電気により集積回路の特性が変化してしまう欠点があることを見出した。即ち、外部接続端子であるパッド部に強電圧を印加すると、詳細なメカニズムはまだ不明であるが、分離領域を挟み込む構造で設けられ電氣的に分離された異なる N 不純物領域間に微小電流が流れるようになってしまう。この微小電流は、紫外線照射または高温に半導体装置をさらすことにより回復することが、我々の実験でわかっている。しかし、実用上、紫外線をその都度照射することは不可能であるという問題点があった。

【0019】従来のワイヤボンディングを用いた集積回路の場合、能動素子領域とパッド部とが別々の領域に存在しているために、チップサイズが小さくできない問題点があった。さらに、ワイヤボンディング及びリードを介してパッドとプリント基板とを電氣的に接続しているために、チップを実装したプリント基板を小さくできない問題点があった。さらに、パッドとプリント基板との接続が三つの接続をする製造方法であり、また、それぞれの接続が同時にできないために製造時間を短くできない問題点があった。また、上記の説明から明らかなようにチップ及び実装が小さくでもなく、さらに、製造工程が長く複雑であるために実装後の電子回路を安く製造できなかった。

【0020】そこで、この発明の目的は、従来のこのような課題を解決するために、トランジスタとパッドとの面積を小さくして、製造コストを低くすることにある。またこの発明の目的は、ドレイン領域に $10\ \text{V}$ 以上の高電圧が印加される高電圧 MOS トランジスタにおいて、小さな面積で大きな電流を流すことができる半導体装置を得ることにある。

【0021】またこの発明は、上記の欠点を解決するもので、チップサイズの縮小によるコストダウンの可能な半導体装置の提供を目的とした。またこの発明は上記の欠点を解決するもので、回路の特性を変化させずに、外部電気接続端子用メタル電極を少ない面積で電子回路上に重ねて形成したチップサイズの小さい半導体集積回路を提供することを目的とした。

【0022】またこの発明は上記の欠点を解決するもので、回路の特性を変化させない電子回路上のバンプ電極有する信頼性の高い半導体集積回路を提供することを目的とした。またこの発明は上記の欠点を解決するもので、回路の特性を変化させない電子回路上の外部電気接

続端子用アルミニウム電極有する信頼性の高い半導体集積回路を提供することを目的とした。

【0023】またこの発明は上記の欠点を解決するもので、回路の特性を変化させない電子回路上の外部電気接続端子用メタル電極有する信頼性の高い半導体集積回路を提供することを目的とした。またこの本発明は上記の課題を解決するもので、保護回路の面積を大きくしない半導体集積回路を提供することを目的とする。

【0024】またこの発明は、上記の欠点を解決するもので、チップサイズの縮小によるコストダウン可能な半導体集積回路装置の提供を目的とした。またこの発明は、上記の欠点を解決するもので、チップサイズの縮小によるコストダウン可能な半導体集積回路の製造方法を提供するものである。特に、本発明の目的は、サーマルヘッド駆動用 IC、あるいは、密着型ラインセンサ IC のように極細 IC のチップ面積を小さく形成できる半導体集積回路の製造方法を提供することである。

【0025】またこの発明は、半導体集積回路の面積を小さくするためにパッド部をトランジスタの上に積層して設けた半導体装置において、パッド電極に実装上印加されうる静電気が印加されても、リーク電流の増加のない半導体装置を提供することを目的としている。またこの発明は、これらの問題点を解決するもので、その目的は、チップサイズの縮小、実装後の電子回路の小型化、電子回路の生産効率の向上及び電子回路のコストダウンである。

【0026】

【課題を解決するための手段】本発明は、上記課題を解決するために以下の手段を用いた。支持基板の表面に設けられた第 1 導電型の半導体基板領域と、前記半導体基板領域の表面に設けられた第 2 導電型の絶縁ゲート電界効果型トランジスタと、前記絶縁ゲート電界効果型トランジスタのドレイン領域と金属膜を介して電氣的に接続して設けられた外部電気接続端子とから構成される半導体集積回路において、前記ドレイン領域を第 2 導電型の低濃度の深い不純物領域の第 1 のドレイン領域と、前記第 1 のドレイン領域の内側の表面に設けられた第 2 導電型の高濃度の浅い不純物領域である第 2 のドレイン領域とから成る高耐圧ドレイン構造で構成するとともに、前記ドレイン領域の上に一部重なるようにして前記外部電気接続端子を配置した。また、前記外部電気接続端子を高さ $10\ \mu\text{m}$ 以上のバンプ電極とし、前記絶縁ゲート電界効果型トランジスタのゲート絶縁膜を $100\ \text{\AA}$ 以上 $250\ \text{\AA}$ 以下の膜厚とした。

【0027】複数の出力パッド接地電極との間に各々オープンドレイン構造で電気接続された高耐圧絶縁ゲート電界効果型トランジスタと、前記高耐圧絶縁ゲート電界効果型トランジスタの各々のゲート電極の電位を制御する複数のプリアンプ回路と、複数の前記プリアンプ回路にそれぞれの信号を供給する複数のラッチ回路と、複数

の前記ラッチ回路にそれぞれ順次信号を供給するブリップフロップ回路とから構成される半導体集積回路に置いて、前記出力パッドと前記高耐压絶縁ゲート電界効果型トランジスタと前記ブリアンプ回路と前記ラッチ回路と前記フリップフロップ回路とを前記半導体集積回路の長さ方向に沿って周期的に繰り返し平面的に配置するとともに、前記高耐压絶縁ゲート電界効果型トランジスタを前記出力パッドの間に配置した。

【0028】電源電圧より大きな電圧が印加される複数の出力パッドと、前記出力パッドの導電膜が延在してそれぞれドレイン領域と直接電気接続した駆動用高耐压絶縁ゲート電界効果型トランジスタとから構成された半導体集積回路において、前記駆動用絶縁ゲート電界効果型トランジスタのゲート絶縁膜の膜厚を100Åから250Åの間にするとともに、前記駆動用絶縁ゲート電界効果型トランジスタを前記出力パッドの周囲に沿って配置し、前記駆動用絶縁ゲート電界効果型トランジスタを前記出力パッドの両側に線対称的に配置した。また、前記駆動用絶縁ゲート電界効果型トランジスタを前記出力パッドの周囲四方向に配置した。前記出力パッドにバンパを形成する場合もある。前記出力パッドは前記半導体集積回路の長辺方向に沿って1列または千鳥状に配置した。

【0029】複数の出力パッドと接地電極との間に各々オープンドレイン構造で電気接続された絶縁ゲート電界効果型駆動トランジスタと、前記絶縁ゲート電界効果型駆動トランジスタの各々のゲート電極の電位を制御する複数のロジック回路セルとから構成される半導体装置に置いて、前記出力パッドと前記絶縁ゲート電界効果型駆動トランジスタと前記ロジック回路セルとを前記半導体装置の長さ方向に沿ってそれぞれ繰り返し周期的に配置するとともに、前記出力パッドを前記絶縁ゲート電界効果型駆動トランジスタあるいは前記ロジック回路セルの上に重なって配置した。また、前記出力パッドを前記絶縁ゲート電界効果型駆動トランジスタのドレイン電極の上のバリアメタルを介して設けたバンパ電極の場合もある。前記絶縁ゲート電界効果型駆動トランジスタのソース電極をそれぞれ前記バリアメタルで電気接続する場合もある。前記ロジック回路セルの配線の一部として前記バリアメタルを用いた。

【0030】半導体基板表面付近に設けられた絶縁ゲート電界効果型トランジスタ及び配線領域及び分離領域などにより構成される半導体電子回路と、前記半導体電子回路上に重なって設けられた外部電気接続端子用電極とから構成される半導体装置において、前記電子回路を構成するメタル配線層と前記外部電気接続端子用電極とを電気的に接続するための保護膜開口部サイズを900 μm^2 以下の面積で設けた。前記外部電気接続端子用電極は高さ10 μm 以上のバンパ電極とした。前記電子回路を構成するメタル配線層と前記外部電気接続端子用電

極とを電気的に接続するための保護膜開口部を前記外部電気接続端子用電極の中心部分以外に設けた。前記電子回路を構成するメタル配線層と前記外部電気接続端子用電極とを電気的に接続するための保護膜開口部を前記外部電気接続端子用電極の下に重ねて1箇所以上設けた。前記外部電気接続端子用電極は前記メタル配線層上にバリアメタルを介して設けた。

【0031】つまり外部電気接続端子用メタル電極を400 μm^2 以下の面積で形成し、外部電気接続端子用メタル電極の占有面積が縮小された半導体集積回路装置とした。ここで半導体電子回路をサーマルプリントヘッドの発熱体駆動用ICとした。また半導体電子回路を液晶表示パネルの液晶駆動用ICとした。また半導体電子回路をクォーツ時計のステップモーター駆動用ICとした。また半導体電子回路を不揮発性メモリーICとした。

【0032】上記の手段の外部電気接続端子用メタル電極を構成することにより、メタル配線層を外部電気接続端子用ハンダバンパ電極あるいは金バンパ電極の下に重ねて形成できるため、チップサイズの小さい半導体集積回路装置を提供出来る。半導体装置を、基板の表面に互いに離れて設けられた第1と第2の金属電極と、前記第1と第2の金属電極と同じ金属からなる金属配線と、前記金属配線を含む前記基板の表面に設けられた最終保護膜と、前記第1と第2の金属電極の上に設けられた前記最終保護膜の窓あげ領域と、前記最終保護膜の窓あげ領域の上と前記第1と第2の金属電極との間の前記最終保護膜の上に前記第1と第2の金属電極を電気接続するように配線されたバリアメタル膜とから構成し、前記バリアメタル膜の上にバンパ構造の金属を設け、前記バリアメタル膜が複数の円形パターンを直列接続した平面パターンとした。

【0033】バンパ及び該バンパの下にバリアメタル膜を有する半導体集積回路において、バリアメタル膜を半導体素子上にも配置した。つまり、バンパと、パッドとの相互拡散を防ぐために使用するバリアメタルをバンパ下だけではなく半導体素子上にも配置することにより、遮光出来るようにした。半導体集積回路装置の電子回路上に配置されたバンパ電極を、一つの電気的電極に対して複数のマトリックス状バンパ電極とし、電子回路上に配置されたバンパ電極を、一つの電気的電極に対して複数の線状バンパ電極とした。また電子回路上に配置されたバンパ電極の中に隙間を持たせた。さらに電子回路上に配置されたバンパ電極を櫛型形状とした。

【0034】つまり、(1)バンパ電極を複数に分割し、集積回路にかかる応力が分散されるバンパ電極を持つ半導体集積回路装置とした。

(2)バンパ電極の中に平面的な隙間を作り、集積回路にかかる応力が分散されるバンパ電極を持つ半導体集積回路装置とした。

(3) バンプ電極の周辺部に隙間を作り、集積回路にかかる応力が分散されるバンプ電極を持つ半導体集積回路装置とした。

【0035】半導体装置の電子回路素子上に設けられた外部電気接続端子用電極において、電極に隙間を形成し、または格子形状とし、または連続な長方形形状とし、または曲線形状とした。つまり、(4) 外部電気接続端子用アルミニウム電極の中に隙間を作り、集積回路にかかる応力が分散される外部電気接続端子用アルミニウム電極を持つ半導体集積回路装置とした。

(5) 外部電気接続端子用アルミニウム電極を連続な複数の長方形とし、集積回路にかかる応力が分散される外部電気接続端子用アルミニウム電極を持つ半導体集積回路装置とした。

(6) 外部電気接続端子用アルミニウム電極による複数の突起を作り、集積回路にかかる応力が分散される外部電気接続端子用アルミニウム電極を持つ半導体集積回路装置とした。

【0036】電子回路素子上に設けられた外部電気接続端子用電極において、前記外部電気接続端子用電極の表面に凹凸を形成し、前記凹凸は前記外部電気接続端子用電極直下の構成膜によって形成し、または前記外部電気接続端子用電極直下の分離用絶縁膜により形成し、または前記外部電気接続端子用電極直下の別の配線材料により形成した。また電子回路素子上に設けられた凹凸は1個以上の多角形かまたは、同心円または螺旋形状とした。

【0037】つまり、(7) 外部電気接続端子用アルミニウム電極の中に複数の突起を設け、ボンディングワイヤー実装時の集積回路にかかる応力が分散される外部電気接続端子用アルミニウム電極を持つ半導体集積回路装置とした。(8) 外部電気接続端子用アルミニウム電極直下の膜に複数の突起を設けることにより、外部電気接続端子用アルミニウム電極表面に凹凸を形成させ、ボンディングワイヤー実装時の集積回路にかかる応力が分散される外部電気接続端子用アルミニウム電極を持つ半導体集積回路装置とした。(9) 外部電気接続端子用アルミニウム電極による線状もしくは曲線状の凹凸を作り、ボンディングワイヤー実装時の集積回路にかかる応力が分散される外部電気接続端子用アルミニウム電極を持つ半導体集積回路装置とした。

【0038】上記の手段のうち1つ又は組み合わせで外部電気接続端子用アルミニウム電極を構成することにより、実装時の応力を分散させ、回路の特性を変化させない電子回路上の外部電気接続端子用アルミニウム電極を有する信頼性の高い半導体集積回路を提供出来る。バンプ電極を有する半導体集積回路において、バンプ電極を電子回路上に配置し、バンプ電極に、中空部を設け、前記バンプ電極中空部をバンプ電極材料よりも柔らかい材料で埋め込んだ。バンプ電極中空部にポリイミド樹脂、

あるいはホトレジストを埋め込んだ。

【0039】つまり、(10) バンプ電極内部に中空部を設け、集積回路にかかる応力が分散されるバンプ電極を持つ半導体集積回路装置とした。(11) バンプ電極内部にバンプ電極より柔らかい材質による領域を設け、集積回路にかかる応力が分散されるバンプ電極を持つ半導体集積回路装置とした。上記の手段により、実装時の応力を分散させ、回路の特性を変化させない電子回路上のバンプ電極有する信頼性の高い半導体集積回路を提供出来る。

【0040】半導体集積回路装置の外部電気接続端子用電極を電子回路素子上に設け、前記外部電気接続端子用電極直下の絶縁膜をポリイミド樹脂で形成した。つまり、外部電気接続端子用アルミニウム電極とパッシベーション用プラズマ窒化膜との間にポリイミド樹脂の層を設けた。上記の手段により、実装時の応力が吸収され、回路の特性を変化させない電子回路上の外部電気接続端子用アルミニウム電極を有する信頼性の高い半導体集積回路を提供出来る。

【0041】半導体基板表面付近に設けられた絶縁ゲート電界効果型トランジスタ及び配線領域及び分離領域などにより構成される半導体電子回路と、前記半導体電子回路上に重ねて設けられた外部電気接続端子用電極とから構成される半導体装置において、前記半導体電子回路を構成するメタル配線層の膜厚を $2\mu\text{m}$ から $4\mu\text{m}$ とし、前記外部電気接続端子用電極上に高さ $10\mu\text{m}$ 以上のバンプ電極を設けた。また前記アルミシリコン配線層を前記外部電気接続端子用電極と兼用とした。前記半導体電子回路をサーマルプリントヘッドの発熱体駆動用ICとした。また前記半導体電子回路を液晶表示パネルの液晶駆動用ICとした。また前記半導体電子回路をクォーツ時計のステップモーター駆動用ICとした。また前記半導体電子回路を不揮発性メモリーICとした。

【0042】つまり、外部電気接続端子用メタル電極を $2\mu\text{m}$ 以上の厚膜に形成し、ボンディングワイヤー実装時の半導体集積回路にかかる応力が低減される外部電気接続端子用メタル電極を持つ半導体集積回路装置とした。上記の手段の外部電気接続端子用メタル電極を構成することにより、実装時の応力を分散させ、回路の特性を変化させない電子回路上の外部電気接続端子用メタル電極を有する信頼性の高い半導体集積回路を提供出来る。

【0043】外部からの信号を入力する複数のパッド電極と、前記それぞれのパッド電極に接続され、前記パッド電極から入力した信号により発生する過電流を逃がす複数の保護回路と、前記複数のパッド電極と前記複数の保護回路を介して入力された外部信号を処理する内部回路よりなる半導体集積回路において、前記複数のパッド電極の内少なくとも1つのパッド電極と該パッド電極に対応する保護回路との間に他の回路素子を介在させて配

10

20

30

40

50

置した。また外部からの信号を入力する複数のパッド電極と、前記それぞれのパッド電極に接続され、前記パッド電極から入力した信号により発生する過電流を逃がす複数の保護回路と、前記複数のパッド電極と前記複数の保護回路を介して入力された外部信号を処理する内部回路よりなる半導体集積回路において、前記複数の保護回路の内少なくとも2つ以上の保護回路を、1つ以上のブロックとして配置した。さらに前記パッド電極と前記保護回路を結ぶ配線を、前記内部回路の表面部分に絶縁膜を介して配置した。

【0044】つまり、保護回路とパッド電極を離し、保護回路が自由にレイアウトできるようにし、複数の保護回路をブロックにまとめ、保護回路面積の小さい、半導体集積回路装置とした。バンプ電極及び、ダミーにバンプ電極を有する半導体集積回路において、ダミーバンプを電子回路上に配置し、ダミーバンプの平面積をバンプ電極より大きくした。またダミーバンプの平面積をバンプ電極より小さくかつマトリックス状に配列した。またさらにダミーバンプのなかに単数もしくは複数の隙間を持たせた。

【0045】バンプ電極及び、ダミーにバンプ電極を有する半導体集積回路において、ダミーバンプを電子回路上に配置し、ダミーバンプを半導体基板の周辺部に配置した。つまり、ダミーバンプを、拡散領域、配線領域にかかわらず、半導体集積回路の上に一部、もしくは全部が重なるように設けた。

【0046】(12) ウェハの半導体領域の表面に複数のトランジスタを形成する工程と、各々のトランジスタの電極を金属配線する工程と、金属配線の上に保護膜を形成する工程と、前記ウェハのスクライブ領域に沿ってウェハを切断する工程とからなる半導体集積回路の製造方法において、ウェハを切断する工程が第1の切断工程と第2の切断工程とからなるとともに、第1の切断工程の切断速度が第2の切断工程の切断速度より遅いことを特徴とする半導体集積回路の製造方法とした。(13)

第1の切断工程を化学的手段で切断することを特徴とする(12)記載の半導体集積回路の製造方法とした。

(13) 第1の切断工程で半導体領域の表面のトランジスタより深く切断することを特徴とする(12)記載の半導体集積回路の製造方法とした。(14) 第1の切断工程で半導体領域の表面をV字状に切断することを特徴とする(12)記載の半導体集積回路の製造方法とした。(15) 第1の切断工程にて切断される半導体領域の平面的な幅を第2の切断工程にて切断される半導体領域の幅より大きくしたことを特徴とする(12)記載の半導体集積回路の製造方法とした。

【0047】基板の第1導電型の半導体領域の表面に電子回路を設けると共に、前記基板をスクライブによりチップに分割された半導体集積回路において、前記チップの側面のスクライブ面に沿って前記基板の段差領域を設

けた。また前記段差領域の深さが前記電子回路を構成する第2導電型の拡散領域の深さより大きく設けた。さらに外部電気接続端子を前記電子回路を構成するトランジスタの上に配置した。

【0048】基板表面に分離領域で電氣的に分離されて設けられた複数の電界効果トランジスタと、前記複数の電界効果トランジスタの一部のトランジスタの上に積層して設けられた外部接続端子を有する半導体集積回路において、前記外部接続端子の下の前記分離領域にシールド電極を設けた。前記外部接続端子をバンプ電極とした。また基板表面に分離領域で電氣的に分離されて設けられた複数の電界効果トランジスタと、前記複数の電界効果トランジスタの一部のトランジスタの上に積層して設けられた外部接続端子を有する半導体集積回路において、前記外部接続端子の下の前記分離領域の中間に反転防止用高濃度不純物領域を設けた。また基板表面に分離領域で電氣的に分離されて設けられた複数の電界効果トランジスタと、前記複数の電界効果トランジスタの一部のトランジスタの上に積層して設けられた外部接続端子を有する半導体集積回路において、前記外部接続端子の下の前記分離領域と前記外部接続端子の以外の下の前記分離領域とを異なる分離構造とした。

【0049】絶縁基板の表面に金属配線を設けたプリント基板と、前記プリント基板の表面の前記金属配線に外部接続端子が電氣的に接続した半導体集積回路とから成る電子回路において、前記外部接続端子を前記半導体集積回路の能動素子領域の上に設けた。前記外部接続端子をバンプ電極とした。また半導体ウェハの表面に集積回路を加工する工程と、前記集積回路の表面に保護膜を形成する工程と、前記保護膜の一部に窓あけして外部接続端子領域となるパッド部を形成する工程と、前記パッド部に半田バンプ電極を形成する工程と、前記半導体ウェハをスクライブしてチップにする工程と、前記チップの表面の前記半田バンプ電極の表面に半田ヤニを塗布する工程と、前記チップを実装するプリント基板にフェイスダウン方式で前記半田バンプ電極と前記プリント基板の金属配線とが重なる所定の場所に接着する工程と、前記チップの裏面から前記チップを加熱する工程と、前記チップの表面に遮光膜を形成する工程とからなる電子回路の製造方法を用いた。前記チップを加熱する工程を、熱風を前記チップの裏面に当てる工程とした。

【0050】以上のように、トランジスタの一部と出力端子であるパッド領域とを平面的に重ねて配置できるようにしたために、チップ面積が小さくなり製造コストを小さくする効果がある。また、トランジスタのゲート電極とドレイン領域のコンタクトホールとの距離を長くできるために、静電耐圧を高くできる効果がある。また1層から成る金属配線においても外部電気接続端子用メタル電極を小さい面積で構成することにより、メタル配線層を外部電気接続端子用ハンダバンプ電極あるいは金バ

ンプ電極の下に重ねて形成できるため、チップサイズの小さい半導体集積回路装置を提供出来る。

【0051】また1層から成る金属配線においてもバンク下のバリアメタルにより遮光ができ、半導体集積回路が誤動作しない。また上記の手段のうち1つ又は組み合わせてバンク電極を構成することにより、実装時の応力を分散させ、回路の特性を変化させない電子回路上のバンク電極有する信頼性の高い半導体集積回路を提供出来る。

【0052】また上記のように構成された半導体集積回路装置においては、自由にダミーバンクを配置できるので、半導体基板半導体基板サイズを小さくできる。また上記のように構成された半導体集積回路においては、スクライプにより誘発されるスクライプ面近傍の結晶欠陥が拡散領域にまで発生しにくくなる。従って、スクライプ面と拡散領域との平面的距離を短くできる。

【0053】

【実施例】以下に、この発明の実施例を図面に基づいて説明する。図1は、本発明のサーマルヘッド用半導体装置の出力部の断面図である。感熱用抵抗に電流を流すトランジスタは、P型半導体領域1の表面に設けられたN⁺型不純物領域であるソース領域2と、ソース領域2からチャンネル形成領域15を介して離れ設けられたN⁺型不純物領域である第1のドレイン領域3Bと、第1のドレイン領域3Bの表面内側に設けられた3N⁺型不純物領域である第2のドレイン領域3Aと、チャンネル形成領域15の表にゲート絶縁膜4を介して設けられたゲート電極5とから構成されている。ゲート電極5の上には中間絶縁膜8が設けられている。中間絶縁膜8の上にアルミ配線がパターンニングされている。トランジスタ間の分離は、従来と同様にフィールド絶縁膜とその下の半導体領域1の表面に設けられたフィールドドープ領域とから分離領域を構成して行っている。

【0054】図1に示すように第2のドレイン領域3Aの上には、中間絶縁膜8にコンタクトホール12Aを介して出力用アルミパッド領域9を設けてある。パッド領域には、最終保護膜10の穴あけパターン上に外部電気接続端子Bが配置されている。図1の実施例においては、パッド用アルミパターンの上にクロム膜13Aを介してメッキ成長して設けられたスズと鉛との合金のバンク13Bがある。バンク13Bはアルミ配線の膜厚の10倍以上の高さを有する柱状の構造である。アルミ配線9は約1 μ m程度の膜厚である。従って、バンクの高さは10 μ m以上の高さである。図1においては、外部電気接続端子の両側にトランジスタが対照的に配置されている。

【0055】図1のような構造のドレイン領域とパッドにすることにより、コンタクトホール12Aをゲート電極5に対して平面的に離して配置することができる。本発明の半導体装置においては、トランジスタのドレイン

領域3Aが直接出力パッドに接続しているために静電耐圧に課題がある。しかし、本発明のような構造にすることにより、静電耐圧を高くするためのゲート電極5とコンタクトホール12Aとの距離を長くできる。即ち、本発明の半導体装置においては、静電耐圧を高くできる構造である。

【0056】従って、従来は困難であったゲート絶縁膜4の薄膜化を100Å～250Åまで行うことができる。図1の半導体装置においては、外部電気接続端子をメッキ成長して形成したバンクで構成しているために半導体装置の基板1へ機械ストレスがきわめて小さい。従って、ドレイン領域3Aの上に平面的に重ねてパッド領域を配置することができる。

【0057】図5は本発明の半導体装置のパッド配置を示した平面図である。出力パッド22A～22Fはチップの長手方向に沿って複数設けられている。電源用パッド23、24及び印刷用入力端子25は別の領域に設けられている。図5に示すように、サーマルヘッド用半導体装置の場合、外部電気接続端子のチップ面積に対する割合が非常に大きく20%以上である。従って、図1に示すように、トランジスタのドレイン領域の上に一部平面的に重なってパッド領域を設けることによりチップ面積を小さくすることができる。

【0058】図6は、本発明の半導体装置の別の実施例の断面図である。チャンネル形成領域15とN⁺型不純物領域の第2のドレイン領域3Aとの間には、フィールド絶縁膜6とフィールド絶縁膜6の下に設けられたN⁺型不純物領域の第1のドレイン領域3Bとが設けられていて高耐圧構造を形成している。さらに、第1のドレイン領域3Bと第2のドレイン領域3Aと重なるようにして深く形成されたN⁺型不純物領域の第3のドレイン領域3Cが設けられている。第3のドレイン領域3Cは、第1及び第2のドレイン領域により充分深い拡散領域で形成されている。第3のドレイン領域3Cの拡散深さは1～5 μ mである。一般的には、同一半導体領域の表面に設けられたP型絶縁ゲート電界効果型トランジスタのN⁺ウェルと兼ねて形成される。図6のように、深い拡散領域3Cの上にパッド領域13A、13Bを配置することにより、半導体装置を他の電子回路へ実装する場合及び電気接続する場合に生ずる応力による半導体装置の電氣的劣化を防止することができる。また、図1、図4から、理解できるように、柱状の高いバンクが実装時の応力緩和手段となって働く。

【0059】図6においては、外部電気接続端子がバンクで構成した場合について説明したが、従来のようにボンディング端子で形成してもよい。第7図は、本発明の半導体集積回路に用いる高耐圧絶縁ゲート電界効果型トランジスタの電気特性図である。VG=0Vの場合、ドレイン領域に30V以上の高電圧が印加される。従って、VG=0Vの場合のドレイン耐圧は30Vより大き

い約45Vに設定した。ゲート電極に電源電圧である5Vが印加された場合には、本発明の半導体装置はチャンネル形成領域が反転しON状態になるとともに、ドレイン耐圧は約22V程度まで低下する。半導体装置がON状態の場合には、ドレイン領域には1Vより低い電圧しか印可されていない。本発明の半導体装置はON時の耐圧を、ドライバーICへの最大印可電圧である30Vより小さな値に設定してある。最大印加電圧よりON時の耐圧を低くすることにより、ON状態の半導体装置の単位面積当りの抵抗を小さくすることができる。

【0060】ON状態の耐圧を小さくするために以下の手段を具体的に用いた。

(1) チャンネル長を2.5 μ m以下にする。

(2) ゲート絶縁膜の膜厚を50Å~250Åと薄くした。

(3) チャンネル形成領域の電極となるP⁺領域をソース領域をソース領域から離れて設けることにより、ソース領域と基板電極間領域との間に抵抗を設けた。

(4) 高耐圧用に設けた低濃度ドレイン領域を選択酸化領域の下に設けたフィールドドープ領域とした。

【0061】図8は、本発明の半導体集積回路に用いた高耐圧絶縁ゲート電界効果型半導体装置のチャンネル方向に沿った断面図である。P型基板1の表面に互いに離れてN⁺型ソース領域2とドレイン領域3Bが形成されている。ドレイン領域は、低濃度ドレイン領域3Bと高濃度ドレイン領域3Aから形成されている。低濃度ドレイン領域3Bは、ゲート絶縁膜4の下にチャンネル形成領域と高濃度領域3Aとの間に設けられている。ゲート電極5は、ゲート絶縁膜4の上に設けられている。低濃度ドレイン領域3Bは、図8の実施例においては、約5000~10000Å膜厚のフィールド絶縁膜6の下にフィールドドープ領域として設けられている。基板1の電位を与えるためのP⁺型不純物領域1Aは、ソース領域2と離れて設けられている。

【0062】図8に示した本発明の半導体装置において、ON状態でのドレイン耐圧を最大ドレイン印加電圧である30Vより低くするためにスナッチバック現象を用いた。即ち、チャンネル長を2.5 μ mより短くすることにより、ソース領域とチャンネル形成領域とドレイン領域とから構成されるNPN接合トランジスタの電流増巾率を高くした。また、スナッチバック現象のトリガーとなる基板電流の発生を多くするために、ゲート絶縁膜の膜厚を最適には150~200Åにして、チャンネル長に沿った電界強度を大きくした。また、基板電流が発生した時は、バイポーラ動作しやすいように、基板電極1Aとソース領域2とを離れて形成し、各々の間に抵抗値を有する構造とした。

【0063】図9は、ソース領域と基板電極との間に抵抗を設けた場合の本発明の半導体装置の電氣的等価回路図である。図8に示すように、空間的に離してソース領

域と基板電極1Aとを設けただけでは抵抗Rの値は非常に小さい。抵抗値Rを大きくするためには、基板電極1Aのコンタクトサイズを小さくしてもよい。さらに、抵抗値Rを大きくするためには、基板表面に拡散抵抗を設けてもよい。

【0064】本発明の半導体装置をサーマルヘッドに応用した回路図を図10に記す。加熱用抵抗RTは高電圧電源30Vと本発明の高耐圧トランジスタ51との間に設けられている。高耐圧トランジスタ51のソース領域はV_{SS}電源に接地されている。従って、高耐圧トランジスタ51のゲート電極への電圧印加により、加熱用抵抗RTへの電流を制御することができる。

【0065】本発明の高耐圧トランジスタを含む集積回路50は、ゲート電極へのゲート電圧を制御するデジタル回路を含み、電源電圧VDD（現在は5V、将来は3Vまたは1.5V）により動作している。集積回路50は、高耐圧トランジスタ51のドレイン領域から導いたパッドにより、外部に設けた加熱用抵抗RTと電氣的に接続している。（図10のA）図10に示したようなサーマルヘッドドライバーICは、高耐圧トランジスタのドレイン電極にパッドを介して外部から静電気が印加される。サーマルヘッドドライバーICの場合は、CMOS出力でない。オープンドレイン構造のために静電気に対して弱くなりやすい。本発明の半導体装置においては、ドライバー用のトランジスタのON時のドレイン耐圧を低くしたために、静電印可時の静電気が容易にV_{SS}側に逃げやすい構造になっている。従って、静電気に対して強いICにできる。

【0066】図11は、感熱紙を抵抗のジュール熱によりプリントするための抵抗駆動用集積回路の平面図である。サーマルヘッド用集積回路チップ50は、感熱用抵抗に対応した出力パッドO1、O2~ONがチップ50の長辺に沿って一列に配列されている。各々の出力パッドには、図7に示した高耐圧駆動用トランジスタT1、T2~TNがオープンドレイン構造で電氣的に接続している。各々のトランジスタT1、T2~TNのゲート電極の電位は、プリアンプ回路P1、P2~PNにより制御されている。各々のプリアンプ回路P1、P2~PNは、対応したラッチ回路L1、L2~LNのデータにより制御されている。各々のラッチ回路に入るデータは、フリップフロップ回路S1、S2~SNにより挿入される。出力パッドO1のデータは、フリップフロップ回路S1とその出力を入力とするラッチ回路L1と、そのラッチ回路L1の出力を入力したプリアンプ回路P1と、そのプリアンプP1によって駆動される高耐圧トランジスタT1に制御されて決まる。シフトレジスタ回路、ラッチ回路及びプリアンプ回路はチップ50の長さ方向に出力パッドに対応して並んでN個配置されている。各々の高耐圧トランジスタT1、T2~TNは、対応した出力パッドの横に配置されている。駆動電流として5mA

以上の電流を流すためには、通常フリップフロップ回路と同程度の面積が必要となる。本発明の場合、高耐圧トランジスタの駆動能力を高くできたために、図6に示すように、出力パッドの横に各々離れて配置することができた。その結果、チップの短辺側の長さを約30%短くすることができ、集積回路のコストを30%低下することができる。

【0067】図12は、各々の高耐圧トランジスタに対応した出力パッドの両側に配置した本発明の半導体集積回路の平面図である。例えば、出力パッドO2の場合、チップ50の長辺方向に出力パッドの両側にトランジスタT1AとT1Bを配置した。トランジスタT1AとT1Bは、プリアンプP1によって各々のゲート電極を駆動される。出力パッドO1には、トランジスタT1AとT1Bのドレイン領域が電気的に接続されている。従って、出力パッドO1には、トランジスタT1AとT1Bとの電流の和が出力される。トランジスタT1AとT1Bは、出力パッドの中心に対して線対称に配置されている。図7に示したようなソース領域とドレイン領域とが非対称の高耐圧トランジスタの場合、トランジスタのレイアウト方向によって電流バラツキが生ずる。

【0068】しかし、図12のように、出力パッドに異なる方向のトランジスタT1AとT1Bを配置し、各々のトランジスタの電流の和が出力されるようにすることにより、その和の電流バラツキを小さくすることができる。図13(a)と、図13(b)は、本発明の半導体集積回路の出力パッド周辺の平面図と断面図である。出力パッドは、集積回路の配線として用いられているアルミ膜103とその飢えにメッキ成長されたバンプ103Aとから構成されている。パッド領域以外のアルミ膜103の上には最終保護膜としてプラズマシリコン窒化膜109が設けられている。

【0069】バンプ103Aは、メッキ成長するためのクロム等の金属を介してアルミ膜103の上に設けられている。パッド領域のアルミ膜は通常 $50\mu\text{m}\square\sim 100\mu\text{m}\square$ の大きなパターンになっている。集積回路をテストする時に、バンプにフローピングできるように大きな面積を必要とする。本発明の集積回路の場合、図13(a)、図13(b)のように、パッド領域のアルミ膜のパターンが高耐圧絶縁ゲート電界効果型トランジスタ(以下HVMISFETと略す)のドレイン領域105に直接延びて電気接続している。アルミ膜のパターン中は、ドレイン領域105のコンタクトホール105Aまでの間一定の中で延在している。

【0070】HVMISFETの電流は、電流通路の中であるチャンネル巾Wに比例する。トランジスタの電流駆動能力を増加するために、チャンネル巾Wがパッド領域の周辺、少なくとも2辺に沿って配置されている。図13の実施例においては、HVMISFETとしてT1とT2がパッド領域の中心に対して線対称にレイアウトされ

ている。FAX用のサーマルヘッド駆動紆余集積回路の場合、感熱抵抗に少なくとも5mA以上の大きな電流を流す駆動能力を必要とする。プリントするための感熱抵抗は、感熱紙に沿って一列に複数接近して設けられている。従って、その複数の一列に配置された感熱抵抗に、各々5mA以上の電流を流すためのHVMISFETが出力パッドを介して接続している。出力パッドの数は、従って1個の集積回路当たり50個以上と非常に多く設けられている。

【0071】HVMISFETはドレイン耐圧を高くするために、ドレイン領域をN型高濃度ドレイン領域5とN型低濃度ドレイン領域121とから構成している。ソース領域104は、高耐圧電圧が印加されないので高濃度のN型不純物領域で形成されている。ゲート絶縁膜106は、チャネルコンダクタンスを大きくするために、 $100\sim 250\text{\AA}$ の薄い絶縁膜で構成されている。通常はシリコン酸化膜、あるいは、シリコン膜で形成されている。ゲート絶縁膜106の上には、チャネルコンダクタンスを制御するためのゲート電極108が設けられている。HVMISFETは、ゲート電極8に対して、非対称のソース領域とドレイン領域が配置されている。従って、トランジスタに流れる電流は、製造する時のフォトリソ工程での合わせずれの影響を受けやすい。しかし、図13のように、パッド領域の左右両側に平面的に線対称的に配置することにより、トランジスタT1とT2との電流の和はフォトリソ工程での合わせずれの影響を受けにくくできる。

【0072】P型シリコン基板101に対するN型低濃度ドレイン領域121の耐圧は、電源電圧より高い電圧になっている。ドレイン耐圧には、トランジスタがOFFしている場合のOFF耐圧と、トランジスタがONしている場合のON耐圧とがある。OFF耐圧は、FAX用集積回路の場合、電源電圧の4倍以上に設定されており、通常20V \sim 50Vの中の値になっている。高濃度ドレイン領域5は、アルミ膜103とコンタクトホール105Aを介してオーミック接触するために設けられている。コンタクトホール105Aは、バンプ103Aに対して平面的に $20\mu\text{m}$ 以内の距離に接近して配置して設けることができる。パッド領域103Bのアルミ膜103は、最終保護膜109に対して露出されている。バンプ103Aは $10\mu\text{m}$ 以上の高さにメッキ成長されている。厚いバンプによって、テスト時及び実装時に集積回路に加わる応力が緩和される。従って、集積回路へ加わる応力が少なくなり、トランジスタを従来よりパッド領域に接近して配置することができる。図13の場合、パッド領域103Bのアルミ膜は基板101の上にフィールド酸化膜7及び中間絶縁膜107Aを介して設けられている。中間絶縁膜107Aは、ゲート電極108とアルミ膜103との間の絶縁膜である。本発明の半導体集積回路の場合、バンプにより、集積回路への実装時の

応力緩和の効果がある。従って、パッド領域103Bのアルミ膜103は、厚い絶縁膜107を介さずにドレイン領域の上に直接配置することも可能である。

【0073】図14(a)と図14(b)はそれぞれ本発明の半導体集積回路のパッド領域周辺の平面図と断面図である。図14(b)の断面図は、図14(a)のb-b'線、あるいは、C-C'線に沿った断面図である。HVMISFETがパッド領域103Bの周囲104辺に沿って配置している。パッド領域103Bのアルミ膜は、少なくとも4辺の直線から成る周囲を有している。HVMISFETは、平面的にパッド領域103Bの左右上下に配置している。各々のトランジスタは、パッド領域103Bの中心に対して対称的にレイアウトされている。各々のトランジスタのチャネル電流となるキャリア電子は、ソース領域からドレイン領域へと流れる。即ち、ソース領域からパッド領域に向かって流れる。

【0074】図15は、半導体集積回路40の平面図である。出力パッド41, 42, 43, 44, 45, 46, 47, 48が千鳥状にチップ40の長さ方向に沿って直線的に配置されている。千鳥状に出力パッドが配置させている場合、図15の実施例においては、出力パッド41, 43, 45, 47がチップ40の長さ方向に一列に配置され、出力パッド42, 44, 46, 48が同様に一列に並んでいる。図15のような千鳥状の配置を二段千鳥という。図示しないが、さらに、もう一列追加して算段千鳥にすることにより、チップの長さ方向を短くできる。また、図15に示した千鳥状に出力パッドを配置せず、単純に配置しても本発明を実施できる。各々の出力パッドに接続したHVMISFETのゲート電極の電位は、ロジック回路49により制御されている。図13に示すように、となり同士のHVMISFETのソース領域を兼ねて設けた場合で、かつ、出力パッドを千鳥状にレイアウトした場合、外側の出力パッド41, 43, 45, 47に接続したHVMISFETのゲート電極をロジック回路に配線する実施例を図5に示す。即ち、ゲート電極108を内側の出力パッド42, 44, 46, 48の下にオーバーラップして設ける。

【0075】図16(a)は、ゲート電極8が配線された内側出力パッド領域部分の平面図であり、図16(b)は図16(a)のD-D'線断面図である。出力パッド領域の周辺には、図14に示すように4辺に沿ってHVMISFETが設けられている。そこで、ゲート電極の配線108を出力パッドの対角線状に配線することにより、トランジスタと交わずに配線することが可能となる。ゲート電極の配線108は、通常多結晶シリコン膜で形成されている。図16(b)のように、アルミ膜103の下に設けられているために、パンプ103Aから働く応力に対しても保護される構造になっている。

【0076】図17は、本発明の半導体装置としてサー

マルヘッドICに適用した場合の、ICの平面図である。チップ外部に設けられた感熱用抵抗に約10mAの電流を流すための外部導出端子である出力パッド01, 02~ONが、チップの長さ方向に沿って繰り返し周期的に配置されている。例えばN=144の場合、出力パッド間の距離を100μmとするとチップの長さは1cm以上となる。出力パッド以外の外部導出端子として、電極端子p1, p2, さらに、図示しないがクロック端子、プリント入力信号端子等が同様にチップ50の周囲に配置されている。各々の出力パッドには、オープンドレイン構造の高耐圧高駆動の絶縁ゲート電界効果型トランジスタ(以下MISFETと称す)T1, T2~TNがグランド配線との間に電気接続されている。従って、出力パッドの繰り返し周期と、駆動MISFETの繰り返し周期はほぼ一致している。駆動MISFETのゲート電極は、プリアンプ回路とラッチ回路とフリップフロップ回路から成るロジック回路L1, L2~LNによって制御されている。

【0077】ロジック回路も同様に出力パッドの同様のピッチで周期的に繰り返しチップ1の長さ方向に沿って配置されている。本発明のサーマルヘッド用ICの場合、出力パッドを駆動用トランジスタの上に配置した。従って、チップの中は、駆動トランジスタとロジック回路との面積まで細くできる。我々の設計では0.3mmまで細くできた。従来は、0.45mmであったので、30%以上のコストダウンになる。特に、サーマルヘッド用ICのように、出力パッドが繰り返し数多く配置されているICの場合には、パッドの面積が約30%にも達しているために非常に大きな効果となる。

【0078】図17においては、出力パッドを駆動トランジスタの上に配置したが、ロジック回路上に設けても同様な効果を得ることができる。図18は、図17の出力パッド近傍の半導体装置の断面図である。基板であるP型シリコン基板211の表面に駆動MISFETが形成されている。即ち、MISFETは、フィールド絶縁膜214の内側に配置され、互いに離れて基板201の表面に設けられたN型ソース領域212とドレイン領域213と、ソース領域212とドレイン領域213との間の基板211の表面にゲート絶縁膜215を介して設けたゲート電極216とから構成されている。通常ゲート電極216はポリシリコン膜を含む導電膜で形成されている。ドレイン領域213の上には、中間絶縁膜(アルミ配線とゲート電極の導電膜との間の絶縁分離膜)217に設けられたコンタクトホールと、コンタクトホールをうめ込むようにしてドレイン領域213と電気接続するドレイン電極218Dが存在している。ドレイン電極218Dは、一般的に、配線218と同じアルミ膜で形成されている。アルミ膜の上には、最終保護膜としてシリコンチツ化膜219が設けられている。外部導出端子の領域のシリコンチツ化膜219は、図18に示すよ

うに窓あけされている。窓あけされたパッド部には、バリアメタル220を介してバンプ電極221が設けられている。バリアメタル220は通常2層構造をしている。下層の膜は、上層の金属がアルミ膜218Dへ突き抜けることを防ぎ、上層の膜はバンプ形成に適した金属が選ばれている。例えば、バンプ221が半田(Sn-Pb)メッキにより形成される場合には、下層膜としてクロム(Cr)膜、上層膜として銅(Cu)膜が用いられている。

【0079】図18に示すように、バンプ構造の出力パッド221が、駆動用トランジスタの上に重なって配置されている。従って、平面的に駆動用トランジスタと出力パッドを重ねて配置できるために、チップ面積の縮小が可能となる。図19は、本発明の半導体装置の別の実施例を示す。図19は、本発明をサーマルヘッド用ICに適用したICの平面図である。図19においては、各々の駆動トランジスタのソース領域を保護膜シリコンチ化膜219の上に設けたバリアメタル及びバンプ電極で電気接続している。電気接続したバリアメタル及びバンプ電極の配線は、グランド電位を供給する電源端子P1に接続している。図19の場合は、直接にバリアメタルとバンプ電極で各々の駆動トランジスタのソース電極と電源端子とを電気接続した例である。図示しないが、電源パッドとソース電極上に設けられたバリアメタル及びバンプ電極との間にアルミ配線を介して接続することも可能である。図19の実施例においては、バリアメタルとバンプ電極とを外部導出端子としての機能以外に配線としての機能・作用を用いている。従って、従来、チップ50において、アルミ配線で配線していた領域をバリアメタルとバンプ電極との金属により置き換えることが可能になる。特に、各々の出力端子から1mA以上の高電流をバラツキ少なく流す必要のあるサーマルヘッド用ICの場合、各々の駆動トランジスタのソース領域の電位をしっかりとグランド電位に固定する必要がある。ソース電位をしっかりとグランド電位に設置するために、通常数10 μ m巾のアルミ配線にて各々の駆動トランジスタのソース電極を接続している。そのために、チップの巾が広がっている。しかし、図19に示すように、保護膜上に設けたバリアメタルとバンプ電極で配置することにより、さらに、チップの巾、即ち、チップ面積を小さくできる。配線としてバンプ電極として用いる場合には、バンプの高さ以上の巾の配線が好ましい。巾が細くなると、保護膜が上部にないために機械的強度が低下しやすい。

【0080】図20は、図19の出力パッド近傍の半導体装置の断面図である。ソース領域もドレイン領域と同様に、ソース電極218Sを設け、その上にバリアメタル220とバンプ電極221を設けてある。ドレイン領域の上のバンプ電極は出力パッドとして機能している。ソース領域上のバンプ電極は各々のソース電極とを電気

的に接続するための配線として機能している。従って、図20のようなICを他の実装基板にフェイスダウン方式でフリップチップ実装する場合には、ソース電極上のバンプ電極には、実装基板の対応電極は存在していてもよい。ドレイン電極のバンプ電極には、必ず実装基板に対応電極が設けられ、ICと実装基板との接続手段として機能する。さらに、ソース電極の上のバリアメタルを配線として機能しやすくする実施例を図21に示す。

【0081】図21は、図20と同様に、出力駆動トランジスタ部分の断面図である。ソース電極218Sの上には、バリアメタル220のみ設けバンプ電極221を設けない構成にしている。配線として機能させるには、バンプ電極221の無い構成が好ましい。バンプ電極221を半田で形成した場合、実装基板とICとを機械的・電気的接続する場合、約150℃の加熱処理を行う。その時半田が液化してバンプ電極に片よりが生ずることがある。しかし、図21のように、バリアメタルのみで各々駆動トランジスタのソース電極間を電気接続することにより、実装時の加熱処理に構造変化しない安定した配線を得ることができる。ドレイン電極218Dの上にはのみバンプ電極221が外部導出端子として設けられる。図21のような、ソース電極218S上にバンプ電極を設けない構成にすることにより、配線巾も通常のアルミ配線並まで細くパターンニングできる。バリアメタルの場合、メッキ成長で形成せずスパッタ等により形成するために、膜厚も20 μ m以下低抵抗の配線となる。従って、配線巾も10 μ m以下にてせきる。また、実装基板をICに接続する場合、ソース電極218S上のバリアメタルは、実装基板と機械的に接続することがない構成になっている。従って、実装基板からの応力がかからず、構造的に安定した配線として機能する。

【0082】図22は、図21で用いたバリアメタルの配線をロジック用の配線にも適用した場合の半導体装置の断面図である。即ち、通常のロジックに用いられているMISFET、または、アルミ配線228の上に保護膜のシリコンチ化膜219を介してバリアメタルから成る配線220が設けられている。図22のような構成にすることにより、金属配線を通常のアルミ配線にバリアメタルの配線を追加することができる。従って、ロジック回路自体の面積を縮小できる。

【0083】一般的に電子回路上に外部電気接続端子を持つ半導体集積回路装置を外部回路に実装した場合、半導体基板上に電子回路例えばポリシリコン抵抗を設け、その上を層間膜で覆い、外部電気接続端子用メタル電極が設けられ、その上にボンディングワイヤーが打たれている。または、電子回路上に外部電気接続端子を持つ半導体集積回路装置を外部回路に実装した場合、半導体基板上に電子回路例えばポリシリコン抵抗を設け、層間膜で覆った後、膜で覆った後、外部電気接続端子用メタル

電極が敷かれている。この金属電極上にバリア金属を介して、外部電気接続端子用ハンダバンプ電極あるいは金バンプ電極が設けられ、外部電極に接続されている。

【0084】図23(a)は、本発明による1実施例の半導体集積回路装置の外部電気接続端子電極部の平面図である。半導体基板301上に電子回路例えばポリシリコン抵抗302が配置されている上に重ねて、層間膜303を介して外部電気接続端子用金属電極304が設けられ、外部電気接続端子用金属電極304上の一部に開口部7を有するパッシベーション膜305が設けられている。ここで、層間膜303を保護膜とし、外部電気接続端子用金属電極304上の一部に開口部を有するパッシベーション膜305を形成しない場合もある。

【0085】図23(b)は本発明による1実施例の半導体集積回路装置外部電気接続端子電極部の断面図である。図23(b)の半導体基板301上に電子回路、例えばポリシリコン抵抗302が配置されている上に重ねて、層間膜303を介して外部電気接続端子用金属電極304を設け、この外部電気接続端子用金属電極304の上に、パッシベーション膜開口部307を有するパッシベーション膜305が設けられている。パッシベーション膜開口部307は、外部電気接続端子用金属電極304より小さい面積で、具体的には $900\pi\mu\text{m}^2$ 以下の面積で外部電気接続端子用金属電極304上に重ねて形成されている。このパッシベーション膜開口部307の面積は、 $200\pi\mu\text{m}^2$ 以上 $600\pi\mu\text{m}^2$ 以下が好ましいが、 $1\pi\mu\text{m}^2$ 以上 $200\pi\mu\text{m}^2$ 以下の場合でも実現できる。さらに、パッシベーション膜開口部307を含む領域にワイヤーボンディングを行い、ボンディングワイヤー306で外部端子に接続する。

【0086】図24(a)は、本発明による1実施例の半導体集積回路装置の電子回路上にハンダまたは金バンプを設けた外部電気接続端子部の平面図である。半導体基板301上に電子回路例えばポリシリコン抵抗302が配置されている上に重ねて、層間膜303を介して外部電気接続端子用金属電極304が設けられ、外部電気接続端子用金属電極304上の一部に開口部307を有するパッシベーション膜5を介して、ハンダまたは金バンプ電極308が設けられている。ここで、ハンダまたは金バンプ電極308と外部電気接続端子用金属電極304上の一部に開口部307を有するパッシベーション膜305との間には、バリア金属310を設けることが望ましい。さらに、層間膜303を保護膜とし、外部電気接続端子用金属電極304上の一部に開口部を有するパッシベーション膜305を形成しない場合もある。

【0087】図24(b)に本発明による1実施例の半導体集積回路装置をハンダまたは金バンプにより実装した場合の断面図を示す。図24(b)の半導体基板30

1上に電子回路、例えばポリシリコン抵抗302が配置されている上に重ねて、層間膜303を介して外部電気接続端子用金属電極304を設け、この外部電気接続端子用金属電極304の上に、パッシベーション膜開口部307を有するパッシベーション膜305が設けられている。パッシベーション膜開口部307は、外部電気接続端子用金属電極304より小さい面積で、具体的には $230\pi\mu\text{m}^2$ 以下の面積で外部電気接続端子用金属電極304上に重ねて形成されている。このパッシベーション膜開口部307の面積は、 $16\pi\mu\text{m}^2$ 以上 $30\pi\mu\text{m}^2$ 以下が好ましいが、 $1\pi\mu\text{m}^2$ 以上 $400\pi\mu\text{m}^2$ 以下の場合でも実現できる。

【0088】さらに、パッシベーション膜開口部307を含む領域にバリア金属を介してハンダまたは金バンプ電極308を設け、外部端子電極309に接続する。

ここで、バリア金属には、Cu化合物を用いることが好ましいが、コンタクト抵抗低減や、実装強度向上のために他の物質をもちいることもできる。図25に、開口部面積とコンタクト抵抗との特性図を示す。面積が $50\pi\mu\text{m}^2$ 程度以上まではコンタクト抵抗に大幅な変化は見られないが、面積が $50\pi\mu\text{m}^2$ 程度以下の場合、コンタクト抵抗が大幅に増加する。これは、パッシベーション膜開口部307のサイズが小さくなると、製造バラツキの影響を受けやすいためである。製造バラツキを低く抑えられれば、パッシベーション膜開口部307のサイズは、より小型化することも可能である。ただし、実装強度の観点からもパッシベーション膜開口部307のサイズを検討する必要があることは言うまでもない。

【0089】また、パッシベーション膜開口部307は、外部電気接続端子用金属電極304上の中心部分以外に設けると、ハンダまたは金バンプ電極308下の領域の自由度が増すため、より効果的である。。さらに、ここでは図示しないが、外部電気接続端子用金属電極304上のパッシベーション膜開口部307は、ハンダまたは金バンプ電極308下の領域であれば、複数個設けることもできる。この場合、ひとつのハンダまたは金バンプ電極と外部電気接続端子用金属電極304との接続領域面積が大きくなるので、ひとつのパッシベーション膜開口部307面積は、小さくなり、ハンダまたは金バンプ電極308下の領域の自由度がさらに増える。たとえば、パッシベーション膜開口部307を2ヶ所設けた場合、ひとつのパッシベーション膜開口部307面積は $1/2$ で、必要な特性が得られる。

【0090】また以上の実施例で用いた外部電気接続端子用金属電極304は、半導体電子回路の配線層として用いることが可能であり、また別の金属層を半導体電子回路に配線層として用いることも可能である。一般的なサーマルヘッドドライバーICでは、外部導出電極として、出力パッドおよび電極パッドがチップの周囲に配置されている。トランジスタを集積化した回路は、外

部導出電極から平面的に離れて配置されている。即ち、各々の出力パッドに対応して各々の駆動トランジスタが電極的に接続して配置され、さらに、その各々の駆動トランジスタのゲート電極を制御するための各ロジック回路がチップの長さ方向に沿って繰り返し周期的に配置されている。外部導出電極は最終保護膜に窓あけを設け、その窓あけの上にバンパが設けられている。

【0091】図26は、本発明の半導体装置の断面図である。P型シリコン基板201の表面に互いに離れてN型の拡散領域212Eと212Fが設けられている。各々の拡散領域の間のシリコン基板201の表面には分離領域を構成するためのフィールド絶縁膜214が形成されている。各々の拡散領域212Eと212Fの上には中間絶縁膜217が形成されている。拡散領域212Eと212Fの上の中間絶縁膜217にはコンタクトホールが配置され、コンタクトホールの上にアルミニウムのような金属電極が配置されている。各々の拡散領域の間の分離領域の上には、拡散領域の電極と直接接続していないアルミ配線218が配置されている。アルミ配線及び中間絶縁膜217の上には最終保護膜であるチ化シリコン膜219が形成されている。各々の拡散領域の電極218Eと218Fの上の最終保護膜219はパッド領域を形成する工程にて窓あけされる。各々の拡散領域の電極218Fと218Eの上に保護膜の窓あけを介してバリアメタル220を接続して設ける。バリアメタル220は、各々の電極218Eと218Fを接続するように配置される。バリアメタル220としては、2層構造の金属膜を用いた。上層膜は、次工程の半田または金メッキしやすい金属を用いる。例えば、半田メッキの場合には銅が好ましい。下層膜は、アルミ電極へ上層金属が拡散しないための金属を用いる。

【0092】例えば、上層膜が銅の場合には、クロム膜を下層膜として用いることにより、銅がアルミ電極へ拡散してしまうのを防止できる。バメア金属220をベースにその上に半田または金からなるバンパ配線221をメッキ成長する。拡散領域212Eと212Fは、各々のアルミ電極を介したバンパ配線221により電気接続される。バンパ配線221の下には保護膜219を介して通常のアルミ配線等の金属配線を配置できる。即ち、図26のような構造にすることにより、従来に比べ配線層を1層増すことができる。図26の場合、拡散領域と別の拡散領域との間をバンパ配線により電気接続した場合の実施例である。図示しないが、単純なアルミ配線間の電気接続にバンパ配線を用いることもできる。その場合は、図26において、アルミ電極218Eと218Fとが拡散領域の上の電極でなく、単純なアルミ配線として構成されている場合に対応する。また、拡散領域とアルミ配線との電気接続をバンパ配線により結線することもできる。さらに、少なくとも一方が多結晶シリコン膜のような薄膜との電気接続もバンパ配線により接続でき

ることはいうまでもない。

【0093】図27は、図26のようにバンパ配線した場合の、平面図である。拡散領域212Eの上の保護膜の窓あけ領域231Eと、拡散領域212Fの上の保護膜の窓あけ領域231Fとがバンパ配線221により電気的に接続されている。バンパ配線の平面的形状は、複数の円状のパターンが直列接続したパターンである。図27のようなバリアメタル220とバンパ221のパターンにすることにより、バンパをリフローした場合に生ずるバンパの片よりを防止することができる。

【0094】図28は、バンパ配線の一方の端部231Pが外部電気接続端子（パッド領域と呼ぶ）220Pであり、他の一方の端部231が拡散電極、あるいは、アルミ配線、あるいは、薄膜電極の場合のバンパ配線の平面図である。パッド領域の保護膜の窓あけパターン231P及びバンパ220Pの径は、他の一方の保護膜の窓あけパターン231及びバンパ220に比べ大きく設計・形成されている。バンパの下バリアメタルの大きさも同様に、パッド領域が最も大きく構成してある。従って、バンパを形成するときに、メッキ成長のための電流がパッド領域において効率良く流れる。即ち、パッド領域のバンパの高さが最も大きくなる。配線として用いられるバンパは、バリアメタルが小さいために低く形成される。従って、図28のように、配線部のバリアメタルを細く、バンパ領域のバリアメタルを太く形成することにより、配線部のバンパ体積を小さくし、バンプリフローによるバンパ領域のバンパ高さのバラツキを小さくすることが可能になる。図28のように、バンプリフローのときに、バンパが平面的に移動しないパターンにすれば、さらに、バンパ領域のバンパ高さのバラツキは小さくできる。

【0095】図29は、図4と同様に、一方がパッド領域で、他方がパッド領域でないICの電極の場合のバンパ配線の平面図である。パッド領域の保護膜の窓あけパターン231Pは、ICの電極の保護膜の窓あけパターン231に比べ大きく設計製造されている。また、パッド部のバリアメタル及びバンパ220Pも同様に他の領域に比べ大きく設計、製造されている。

【0096】保護膜の窓あけパターン231Pと231とは同じ大きさでもよいし、逆の大きさでも、本発明は実施できる。パッド領域のバンパの高さは、他の領域のバンパ高さに比べ高くする必要がある。従って、パッド領域のバリアメタルの大きさを他の領域（配線部）に比べ大きくすることが必要である。図29においては、配線部のバンパ233とパッド領域のバンパ220Pとの間に線巾の狭いバリアメタル領域232を設けてある。また、一方のICの電極のバンパ220と配線部のバンパ233との間に、各々のバリアメタルより線巾の狭いバリアメタル領域232を設けてある。図29のように線巾の狭いバリアメタルの領域を設けることにより、バ

ンプのリフロー時の各々の領域間のバンプ移動を防止することができる。

【0097】図30は本発明による半導体装置の一実施例を示す構造断面図である。バンプは金バンプについて述べるが、ハンダバンプであっても構わない。また半導体素子はMOS型トランジスタについて述べるが、ダイオード、抵抗等の光の照射により電気特性が変化する素子を含んでいる。半導体素子（この場合ゲート電極及びソース、ドレイン領域からなるMOS型トランジスタ）401と半導体素子上にあるシリコン窒化膜等からなる絶縁膜407とパッド金属402と保護膜406に開口された状態に、バリアメタル膜403と金バンプ404と遮光膜405からなる本発明の半導体装置。バリアメタル膜403は通常チタン、チタニウム、タングステンなどからなり、厚みは0.05ミクロン以上あれば遮光の効果がある。バンプは残さず、バリアメタル膜403のみが半導体素子の上にも残り遮光膜とした構造とする。図30では遮光膜403はパッド金属上にあるバリアメタル膜403に繋がっていないが、特定の端子に繋げ電位を固定すると電気特性上より好ましい、本発明の場合には半導体集積回路の基板と遮光膜の間には保護膜等を介しているために寄生容量は小さくフローティングになっても大きな問題は無い。

【0098】図31は図30の構造を持つ半導体装置を上から見たものを示している。一般に半導体素子は光が当たるとPN接合におけるリーク電流が増えることになるためにアナログ回路上に遮光膜を形成すれば誤動作しにくくなる。この図ではバリアメタルよりなる遮光膜405を端子に接続したところを示している。一般的な、電子回路上にバンプ電極を持つ半導体集積回路装置のバンプ電極部は、半導体基板上に電子回路例えばポリシリコン抵抗が形成され、ポリシリコン抵抗の表面をパッシベーション膜で覆った後、バリアメタル層を介してその上にバンプ電極が形成されている。そしてバンプ電極を有する半導体集積回路装置を外部回路基板に実装する。

【0099】図32(a)は、本発明による1実施例の半導体集積回路装置のバンプ電極部の平面図である。半導体基板501上に電子回路例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜及び例えば、TiW及びAuなどのバリアメタル層506を介して、バンプ電極504がマトリクス状に分割されて形成されている。ここで、バンプ電極504のそれぞれのマトリクス状のドットは、電子回路のただ1つの電極に対応し、全て電氣的に接続される。

【0100】図32(b)に本発明による半導体集積回路装置を外部回路に実装した場合の断面図を示す。バンプ電極504の各バンプドットと外部回路基板505とを接続するため、半導体基板501と外部回路基板505との間に圧力をかける。応力により、バンプ電極504のそれぞれのマトリクス状のバンプドットは潰れ、

外部回路基板505から受ける余分な応力を横方向に逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックや、ポリシリコン抵抗502の変形による特性変動を防ぐことができる。また、バンプ電極504としてバンプドットを複数設けることによって、バンプ電極504と外部回路基板505との密着強度やバンプ電極504とバリアメタル506との密着強度を維持できる。

10 【0101】図33に、本発明による別の実施例の平面図を示す。半導体基板501上に電子回路部品例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜及び例えば、TiW及びAuなどのバリアメタル層506を介して、バンプ電極504が形成される。このバンプ電極504は、複数の短冊状に分割されている。ここで、短冊状（線状）に配置された各バンプ短冊は、電子回路のただ1つの電極に対応し、全て電氣的に接続されている。図33による実施例を外部回路基板に実装した場合、図32(b)に示した例の断面図と同様に、バンプ電極504の各バンプ短冊は潰れ、外部回路基板505から受ける余分な応力は横方向に逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックや、ポリシリコン抵抗502の変形による特性変動が防げる。また、バンプ電極504を複数に分割して設けることによって、バンプ電極504と外部回路基板505との密着強度やバンプ電極504とバリアメタル506との密着強度を維持できる。

30 【0102】図34に、本発明による更に別の実施例の平面図を示す。半導体基板501上に電子回路部品例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜及び例えば、TiW及びAuなどのバリアメタル層506を介して、バンプ電極504が形成されている。ここで、バンプ電極504は格子状の形状をしており、隙間541が設けられている。図34による実施例を外部回路基板に実装した場合、図32(b)に示した例の断面図と同様に、バンプ電極504はバンプ電極外方向及び、隙間方向に潰れ、外部回路基板505から受ける余分な応力は横方向に逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックや、ポリシリコン抵抗502の変形による特性変動が防げる。また、バンプ電極504は、平面積を大きくできるので、バンプ電極504と外部回路基板505との密着強度やバンプ電極504とバリアメタル506との密着強度を維持できる。

50 【0103】図35に、本発明による別の実施例の平面図を示す。半導体基板501上に電子回路部品例えばポリシリコン抵抗502が配置されている上に、パッシベ

ーション膜及び例えば、TiW及びAuなどのバリアメタル層506を介して、櫛状のバンプ電極504が置かれている。図35による実施例を外部回路基板に実装した場合、図32(b)に示した例の断面図と同様に、バンプ電極504は櫛の隙間方向に潰れ、外部電極基板505から受ける余分な応力は横方向に逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックや、ポリシリコン抵抗502の変形による特性変動が防げる。また、バンプ電極504は、平面積を大きくできるので、バンプ電極504と外部電極基板505との密着強度やバンプ電極504とバリアメタル506との密着強度を維持できる。

【0104】図32、33、34及び35の実施例において、半導体基板501と外部電極基板505を圧力を掛けて接触させた後、加熱し接合させる。また、以上の実施例を組み合わせても同様の効果が得られる。例えば、図32と図33を組み合わせると不等ピッチのマトリックスバンプにすることができる。また、図34と図35を組み合わせ、内部は隙間のあるバンプで、外周部が櫛型のバンプにおいても同様の効果が得られる。

【0105】本発明は、通常平面的には四角形状をしているバンプ電極504を、図32、図33、図34及び図35に示した様に、平面的に隙間部を設け、外部電極基板505を或る応力を与えて接触させた時に、バンプ電極504の材料をその隙間に逃がすものである。ここでの平面的な隙間とは、図32(b)に示されるように、バンプ電極504のある垂直断面において、バンプ電極が分離して断面されるものである。

【0106】以上、本発明によれば、実装時の応力を逃がす構造としたことで、回路の特性を変化させない電子回路上のバンプ電極有する信頼性の高い半導体集積回路が提供できる。一般的な、電子回路上に外部電気接続端子を持つ半導体集積回路装置における外部電気接続端子部は、半導体基板上に電子回路例えばポリシリコン抵抗が乗り、パッシベーション膜で覆った後、外部電気接続端子用アルミニウム電極が敷かれている。そして、外部電気接続端子用アルミニウム電極上にボンディングワイヤーが打たれている。

【0107】図36(a)は、本発明による1実施例の半導体集積回路装置の外部電気接続端子用アルミニウム電極部の平面図である。半導体基板501上に電子回路例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜を介して、外部電気接続端子用アルミニウム電極554が設けられているが、外部電気接続端子用アルミニウム電極には、隙間541が設けられている。

【0108】図36(b)に本発明による半導体集積回路装置をワイヤーボンディングにより実装した場合の断面図を示す。図36(b)において、外部電気接続端子

用アルミニウム電極554とボンディングワイヤー505とを接続するため、半導体基板501とボンディングワイヤー505との間に圧力をかけると、外部電気接続端子用アルミニウム電極554は潰れ、ボンディングワイヤー505から受ける余分な応力を横方向、すなわち隙間541方向に逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックや、ポリシリコン抵抗502の変形による特性変動が防げる。

【0109】図37に、本発明による別の実施例の平面図を示す。半導体基板501上に電子回路例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜を介して、外部電気接続端子用アルミニウム電極554が設けられているが、外部電気接続端子用アルミニウム電極554が連続の長方形の組み合わせによって構成されている。図37による実施例をボンディングワイヤーに実装した場合、図36(b)に示した例の断面図と同様に、外部電気接続端子用アルミニウム電極554は潰れ、ボンディングワイヤー505から受ける余分な応力は横方向に逃すことができる。また、図36

(a)の実施例よりも外部電気接続端子用アルミニウム電極554の配線抵抗は大きくなるが、単位面積当たりの逃げ場が多くなり、より多くの応力を逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックによる半導体装置の信頼性低下や、ポリシリコン抵抗502の変形による特性変動が防げる。

【0110】図38に、本発明による別の実施例の平面図を示す。半導体基板501上に電子回路部例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜を介して、外部電気接続端子用アルミニウム電極554が設けられているが、外部電気接続端子用アルミニウム電極554は連続の螺旋形状をしている。図38による実施例をボンディングワイヤーに実装した場合、図36(b)に示した例の断面図と同様に、外部電気接続端子用アルミニウム電極554は外部電気接続端子用アルミニウム電極外方向及び、隙間方向に潰れ、ボンディングワイヤー505から受ける余分な応力は横方向に逃すことができる。また、図36(a)の実施例よりも外部電気接続端子用アルミニウム電極554の配線抵抗は大きくなるが、単位面積当たりの逃げ場が多くなり、より多くの応力を逃すことができる。また、ボンディングワイヤー505は平面的に円形状で外部電気接続用アルミニウム電極554と接するが、外部電気接続用アルミニウム電極554が螺旋形状をしているためボンディングワイヤーからの応力を効率的に受け止め、効率的に応力を逃がすことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる

応力は減少し、パッシベーション膜503のクラックによる半導体装置の信頼性低下や、ポリシリコン抵抗502の変形による特性変動が防げる。

【0111】図39に、本発明による別の実施例の平面図を示す。半導体基板501上に電子回路部品例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜を介して、外部電気接続端子用アルミニウム電極554が設けられているが、外部電気接続端子用アルミニウム電極554は同心円形の組み合わせから成り立っており、それぞれの同心円形電極は互いに電氣的に接続されている。図38による実施例をボンディングワイヤーに実装した場合、図36(b)に示した例の断面図と同様に、外部電気接続端子用アルミニウム電極554は外部電気接続端子用アルミニウム電極外方向及び、隙間方向に潰れ、ボンディングワイヤー505から受ける余分な応力は横方向に逃すことができる。また、ボンディングワイヤー505は平面的に円形状で外部電気接続用アルミニウム電極4と接するが、外部電気接続用アルミニウム電極554が同心円形状をしているためボンディングワイヤーからの応力を効率的に受け止め、効率的に応力を逃がすことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックによる半導体装置の信頼性低下や、ポリシリコン抵抗502の変形による特性変動が防げる。

【0112】また、以上の実施例を組み合わせても同様の効果が得られる。例えば、図36と図37あるいは、図36と図38を組み合わせ、周辺部を閉じた形状の外部電気接続用アルミニウム電極としても同様の効果が得られる。図40(a)は、本発明による1実施例の半導体集積回路装置の外部電気接続端子用アルミニウム電極部の平面図である。半導体基板501上に電子回路例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜を介して、外部電気接続端子用アルミニウム電極554が設けられているが、外部電気接続端子用アルミニウム電極には、突起もしくは窪み540が設けられている。

【0113】図40(b)に本発明による半導体集積回路装置をワイヤーボンディングにより実装した場合の断面図を示す。図40(b)において、外部電気接続端子用アルミニウム電極554上には、突起部541窪み部542による凹凸が設けられている。外部電気接続端子用アルミニウム電極554とボンディングワイヤー505とを接続するため、半導体基板501とボンディングワイヤー505との間に圧力をかけると、外部電気接続端子用アルミニウム電極504の突起部541が窪み部542方向に潰れるため、ボンディングワイヤー505から受ける余分な応力を逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503の

クラックや、ポリシリコン抵抗502の変形による特性変動が防げる。

【0114】図41に、本発明による別の実施例の平面図を示す。半導体基板501上に電子回路例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜を介して、外部電気接続端子用アルミニウム電極554が設けられているが、外部電気接続端子用アルミニウム電極554直下のパッシベーション膜には複数の長方形の凹凸があり、それに伴い外部電気接続端子用アルミニウム電極554にも同様の凹凸543が形成される。図41による実施例をボンディングワイヤーに実装した場合、断面構造は、図40(b)と同じとなり、外部電気接続端子用アルミニウム電極554とボンディングワイヤー505とを接続するため、半導体基板501とボンディングワイヤー505との間に圧力をかけると、外部電気接続端子用アルミニウム電極504の突起部541が窪み部542方向に潰れるため、ボンディングワイヤー505から受ける余分な応力を逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックや、ポリシリコン抵抗502の変形による特性変動が防げる。

【0115】図42に、本発明による別の実施例の平面図を示す。半導体基板501上に電子回路例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜を介して、外部電気接続端子用アルミニウム電極504が設けられているが、外部電気接続端子用アルミニウム電極554直下のパッシベーション膜には複数の同心円状の凹凸があり、それに伴い外部電気接続端子用アルミニウム電極554にも同様の凹凸543が形成される。図42による実施例をボンディングワイヤーに実装した場合、断面構造は、図40(b)と同じとなり、外部電気接続端子用アルミニウム電極554とボンディングワイヤー505とを接続するため、半導体基板501とボンディングワイヤー505との間に圧力をかけると、外部電気接続端子用アルミニウム電極554の突起部541が窪み部542方向に潰れるため、ボンディングワイヤー505から受ける余分な応力を逃すことができる。また、ボンディングワイヤー505は平面的に円形状で外部電気接続用アルミニウム電極554と接するが、外部電気接続用アルミニウム電極554が同心円状をしているためボンディングワイヤーからの応力を効率的に受け止め、効率的に応力を逃がすことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックや、ポリシリコン抵抗502の変形による特性変動が防げる。

【0116】図43は、本発明による別の実施例を示す断面図である。図43において、パッシベーション膜503上には突起531が設けられている。その上に外部

電気接続端子用アルミニウム電極554を設けるため、外部電気接続端子用アルミニウム電極554上には、突起部541と窪み部542ができる。外部電気接続端子用アルミニウム電極554とボンディングワイヤー505とを接続するため、半導体基板501とボンディングワイヤー505との間に圧力をかけると、外部電気接続端子用アルミニウム電極554の突起部541が窪み部542方向に潰れるため、ボンディングワイヤー505から受ける余分な応力を逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックや、ポリシリコン抵抗502の変形による特性変動が防げる。

【0117】図44は、本発明による別の実施例を示す断面図である。半導体基板501上に電子回路例えばポリシリコン抵抗502が配置されている上に、アルミニウムによる段差形成パターン506が設けられている。このパターンは能動配線を流用することも可能である。この上にパッシベーション膜503を形成するとパッシベーション膜503上には突起531が形成される。その上に外部電気接続端子用アルミニウム電極554を設けるため、外部電気接続端子用アルミニウム電極554上には、突起部541と窪み部542ができる。外部電気接続端子用アルミニウム電極554とボンディングワイヤー505とを接続するため、半導体基板501とボンディングワイヤー505との間に圧力をかけると、外部電気接続端子用アルミニウム電極554の突起部541が窪み部542方向に潰れるため、ボンディングワイヤー505から受ける余分な応力を逃すことができる。その結果、その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックによる信頼性の低下や、ポリシリコン抵抗502の変形による特性変動が防げる。

【0118】図45は、本発明による別の実施例を示す断面図である。半導体基板501上に電子回路例えば拡散抵抗507が配置されている上に、ポリシリコンによる段差形成パターン521が設けられている。この上にパッシベーション膜503を形成するとパッシベーション膜503上には突起531が形成される。その上に外部電気接続端子用アルミニウム電極554を設けるため、外部電気接続端子用アルミニウム電極554上には、突起部541と窪み部542ができる。外部電気接続端子用アルミニウム電極554とボンディングワイヤー505とを接続するため、半導体基板501とボンディングワイヤー505との間に圧力をかけると、外部電気接続端子用アルミニウム電極554の突起部541が窪み部542方向に潰れるため、ボンディングワイヤー505から受ける余分な応力を逃すことができる。その結果、パッシベーション膜503にかかる応力は減少

し、パッシベーション膜503のクラックによる信頼性の低下が防げる。

【0119】また、以上の実施例を組み合わせても同様の効果が得られる。例えば、図40と図41あるいは、図40と図42を組み合わせ、周辺部を閉じた形状の外部電気接続用アルミニウム電極としても同様の効果が得られる。図46(a)は、本発明による1実施例の半導体集積回路装置のバンプ電極部の断面図である。半導体基板501上に電子回路例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜503及び例えば、TiW及びAuなどのバリアメタル層506を介して、バンプ電極594が置かれている。ここで、バンプ電極594下部には中空部591が設けられている。

【0120】図46(b)に本発明による半導体集積回路装置を外部回路に実装した場合の断面図を示す。図46(b)において、バンプ電極594と外部回路基板505とを接続するため、半導体基板501と外部回路基板505との間に圧力をかけると、バンプ電極594は中空部591の部分で潰れ、外部回路基板505から受ける余分な応力を横方向に逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックや、ポリシリコン抵抗502の変形による特性変動が防げる。なお、中空部591は、中空にするほかに、ポリイミド樹脂や、ホトレジストなどバンプ電極材料より柔らかい材料を埋め込んでも同様の効果がある。

【0121】図47に、本発明による別の実施例の平面図を示す。半導体基板501上に電子回路部品例えばポリシリコン抵抗502が配置されている上に、パッシベーション膜及び例えば、TiW及びAuなどのバリアメタル層506を介して、バンプ電極594が置かれている。バンプ電極594内部には中空部591が設けられている。図47による実施例を外部回路基板に実装した場合、図46(b)に示した例の断面図と同様に、バンプ電極594は中空部で潰れ、外部回路基板505から受ける余分な応力は横方向に逃すことができる。その結果、パッシベーション膜503及び、ポリシリコン抵抗502にかかる応力は減少し、パッシベーション膜503のクラックや、ポリシリコン抵抗502の変形による特性変動が防げる。また、バンプ電極594とバリアメタルの接触面積を大きくとれるので、バンプ電極594とバリアメタル506との密着強度を維持できる。なお、中空部591は、中空にするほかに、ポリイミド樹脂や、ホトレジストなどバンプ電極材料より柔らかい材料を埋め込んでも同様の効果がある。

【0122】図48は、本発明による1実施例の半導体集積回路装置の外部電気接続端子用アルミニウム電極部の断面図である。半導体基板501上に電子回路例えば

ポリシリコン抵抗502が配置されている上に、パッシベーション用窒化膜503が配置され、さらにポリイミド膜層506が設けられ、その上に外部電気接続端子用アルミニウム電極554が設けられている。

【0123】本発明による集積回路装置によれば、ボンディングワイヤー505より受けた応力はポリイミド層506に吸収される。そのため応力はパッシベーション用窒化膜503やポリシリコン抵抗502には伝わらず、パッシベーション用窒化膜503にクラックが入ったり、ポリシリコン抵抗502が変形して特性が変化することがない。

【0124】図49(a)は、本発明による1実施例の半導体集積回路装置の外部電気接続端子用メタル電極部の平面図である。半導体基板801上に電子回路例えばポリシリコン抵抗802が配置されている上に、層間膜803を介して、外部電気接続端子用メタル電極804が設けられ、外部電気接続端子用メタル電極804上の一部に開口部7を有するパッシベーション膜805が設けられている。ここで、層間膜803を保護膜とし、外部電気接続端子用メタル電極804上の一部に開口部を有するパッシベーション膜805を形成しない場合もある。

【0125】図49(b)に本発明による半導体集積回路装置をワイヤーボンディングにより実装した場合の断面図を示す。図49(b)において、外部電気接続端子用メタル電極804は、1.5 μm 以上4 μm 以下の膜厚で設けられている。外部電気接続端子用メタル電極804とボンディングワイヤー805とを接続するため、半導体基板801とボンディングワイヤー806との間に圧力をかけると、外部電気接続端子用メタル電極804が厚く形成されているため、ボンディングワイヤー806から受ける余分な応力を吸収することができる。その結果、層間膜803及び、ポリシリコン抵抗802にかかる応力は減少し、層間膜803のクラックや、ポリシリコン抵抗802の変形による特性変動が防げる。ここで、外部電気接続端子用メタル電極804の膜厚は、厚いほど応力は緩和されるが、2 μm 以上3 μm 以下程度が製造工程の難易度と応力緩和度とから最適値である。

【0126】図50(a)は、本発明による1実施例の半導体集積回路装置の外部電気接続端子用メタル電極804上にハンダまたは金バンプを設けた外部電気接続端子部の平面図である。半導体基板801上に電子回路例えばポリシリコン抵抗802が配置されている上に、層間膜803を介して、外部電気接続端子用メタル電極804が設けられ、外部電気接続端子用メタル電極804上の一部に開口部807を有するパッシベーション膜805を介して、ハンダまたは金バンプ電極808が設けられている。ここで、層間膜803を保護膜とし、外部電気接続端子用メタル電極804上の一部に開口部を有

するパッシベーション膜805を形成しない場合もある。

【0127】図50(b)に本発明による半導体集積回路装置をハンダまたは金バンプにより実装した場合の断面図を示す。図50(b)において、外部電気接続端子用メタル電極804は、1.5 μm 以上4 μm 以下の膜厚で設けられている。外部電気接続端子用ハンダまたは金バンプ電極808と外部電極基板809とを接続する際、半導体基板801と外部電極基板809との間に圧力が架かっても、外部電気接続端子用メタル電極804が厚く形成されているため、外部電極基板809から受ける応力を吸収することができる。その結果、層間膜803及び、ポリシリコン抵抗802にかかる応力は減少し、層間膜803のクラックや、ポリシリコン抵抗802の変形による特性変動が防げる。ここで、外部電気接続端子用メタル電極804の膜厚は、厚いほど応力は緩和されるが、2 μm 以上3 μm 以下程度が製造工程の難易度と応力緩和度とから最適値である。

【0128】また以上の実施例で用いた外部電気接続端子用メタル電極804は、半導体電子回路の配線層として用いることが可能であり、また別のメタル層を半導体電子回路に配線層として用いることも可能である。ここまでに用いた外部電気接続端子用メタル電極804は、アルミニウム、シリコン、銅、タングステン等の物質あるいは化合物を用いることが可能であるが、アルミニウム、シリコンの化合物あるいは、アルミニウム、シリコン、銅の化合物を用いることが望ましい。

【0129】以下、本発明の半導体集積回路装置の一実施例を図面に基づいて説明する。なお、ここでの回路素子とは、パッド電極、保護回路また内部回路のことを言うものとする。図51は本発明による半導体集積回路装置の一実施例の平面図である。半導体集積回路装置の半導体基板601の外周部分に4つのパッド電極603、603、603、603が形成されている。パッド電極603は、図示しない外部回路からの信号を入力したり、外部回路に信号を出力する端子であり、図示しない外部配線がそれぞれのパッド電極603に接続される。それぞれの4つのパッド電極603、603、603、603は、保護回路ブロック640に接続されている。保護回路ブロック640は、4つのパッド電極603、603、603、603それぞれの保護回路を有している。つまり、4つのパッド電極603、603、603、603の保護回路は一か所に固まって配置され、保護回路ブロック640を形成しているものである。

【0130】4つのパッド電極603、603、603、603より出入りする外部信号は、保護回路ブロック640を経て内部回路602に到達する。保護回路ブロック640の中にはパッド電極603、603、603、603の4つの信号に対する保護回路が4つはいつているが、保護回路どうし一つ一つの距離を離す必要は

なく、近接して配置されているので、従来技術である図4で表した保護回路の604の4つ分の面積よりはるかに小さくできる。また、図51に於いて、両端のパッド電極603、603と保護回路ブロック640の関係のようにパッド電極603、603と保護回路ブロック640の距離を自由に設定することによって、内部回路602の都合によって保護回路ブロック640の配置を自由にでき、半導体基板601の表面積を有効に使うことができる。その結果、半導体集積回路装置のチップサイズを小さくすることができる。

【0131】本発明は、パッド電極603を、内部回路602の上に（平面的に）重ねて配置した場合に特に有効である。図52に本発明による別の実施例の平面図を示す。4つのパッド電極603、603、603、603は、内部回路602の上に平面的に重ねて配置されている。パッド電極603、603、603、603より出入りする外部信号は、半導体素子表面を這う電極配線605、605、605、605を通り保護回路ブロック640を経て内部回路602に到達する。保護回路ブロック640の中にはパッド電極603、603、603、603の4つの信号に対する保護回路604が4個はいっている。しかし、保護回路604どうし一つ一つの距離を離す必要はなく、近接して配置できるので、図51で表した保護回路604の4つ分の面積よりはるかに小さくできる。ここで、保護回路ブロック640は、半導体基板601上で、パッド電極603、603、603、603とは反対側に配置されている例を示している。パッド電極603、603、603、603を、内部回路602上に縦に重ねて配置する場合、パッド電極用配線形成工程が元々存在するので、工程を増やすことなく電極配線605、605、605、605を絶縁膜を介して半導体集積回路装置表面上に自由に這わすことができる。また、保護回路ブロック640をどこにでも配置することができる。その結果、半導体基板601の表面積を有効に使うことができ、半導体集積回路装置のチップサイズを小さくすることができる。

【0132】本発明は、パッド電極数が多くなるとさらに有効となる。図53に本発明による別の実施例の平面図を示す。8つのパッド電極603、603・・・は、電子回路602の上に平面的に縦に重ねて配置されている。パッド電極603、603・・・より出入りする外部信号は、絶縁膜を介して半導体素子表面を這う電極配線605、605・・・を通り保護回路ブロック640を経て内部回路602に到達する。保護回路ブロック640の中にはパッド電極603、603・・・の8つの信号に対する保護回路が8個入っている。保護回路どうし一つ一つの距離を離す必要はなく、近接して配置できるので、図52で表した保護回路604が4個入った保護回路ブロック640の2つ分の面積よりさらに小さくできる。ここで、保護回路ブロック640は、半導体基板6

01の中心部に配置した例を示している。しかし、パッド電極603、603・・・を、内部回路602上に平面的に重ねて配置する場合、パッド電極用配線形成工程が元々存在するので、工程を増やすことなくパッド電極603、603・・・と保護回路ブロック640を結ぶ電極配線605、605・・・を半導体集積回路装置表面上で自由に這わすことができるので、保護回路ブロック640はどこにでも配置することができる。その結果、半導体基板601の表面積を有効に使うことができ、半導体集積回路装置のチップサイズを小さくすることができる。

【0133】保護回路604は全てを一つにまとめなくともいくつかをまとめて複数の保護回路ブロック640としても有効である。図54に本発明による別の実施例の平面図を示す。8つのパッド電極603、603・・・は、電子回路602の上に平面的に重ねて配置されている。パッド電極603、603・・・より出入りする外部信号は、半導体素子表面を這う電極配線605、605・・・を通り保護回路ブロック640、640を経て内部回路602に到達する。一方の保護回路ブロック640の中にはパッド電極603、603・・・の4つの信号に対する保護回路604が4つ入っており、他方の保護回路640ブロックの中には残りのパッド電極603、603・・・の4つの信号に対する保護回路604が4つ入っている。保護回路604どうし一つ一つの距離を離す必要はなく、近接して配置できるので、図51で表した保護回路604の8つ分の面積よりはるかに小さくできる。ここで、パッド電極603、603・・・を、内部回路602上に平面的に重ねて配置する場合、パッド電極用配線形成工程が元々存在するので、工程を増やすことなくパッド電極603、603・・・と保護回路ブロック640を結ぶ電極配線605、605・・・を絶縁膜を介して半導体集積回路表面上に自由に這わすことができる。そして、保護回路ブロック640、640をどこにでも配置することができる。その結果、半導体基板601の表面積を有効に使うことができ、半導体集積回路装置のチップサイズを小さくすることができる。

【0134】以上の例では、複数の保護回路604をブロックにして保護回路604、604・・・自体の総面積を小さくする例を示したが、各パッド電極603、603・・・とそれに対応する保護回路604、604・・・を離して配置することだけでも、保護回路604のレイアウトが自由にできるので、チップサイズを小さくすることができる。つまり、複数のパッド電極の内少なくとも1つのパッド電極と該パッド電極に対応する保護回路との間に他の回路素子が介在されて配置するものである。ここで言う、回路素子とは、他のパッド電極603、他の保護回路604および内部回路602を言う。

【0135】図60は、本発明による半導体集積回路装置の平面図である。半導体基板7上に抵抗、トランジス

10

20

30

40

50

10

20

40

50

【０１４１】図５８は本発明による更に別の実施例である。半導体基板７１上に抵抗、トランジスタ、コンデンサ、配線などを含む集積回路７２と、集積回路と外部回路との信号や電源のやり取りをするパンプ電極７３が配

置され、集積回路72上に1個又は複数の穴86を持つダミーバンプ76が配置されている。穴を持つバンプを用いることによって、本半導体集積回路装置を、外部の回路に実装する際に集積回路72が受ける力を分散させ、ダメージを受けなくしたものである。図58によれば、半導体基板71に必要な面積は、バンプ電極73及び集積回路72の面積だけであり、ダミーバンプ用の領域は全く不要となる。そのため、チップサイズを小さくすることができる。

【0142】図59は本発明による別の実施例である。半導体基板71上に抵抗、トランジスタ、コンデンサ、配線などを含む集積回路72と、その周辺部に集積回路と外部回路との信号や電源のやり取りをするバンプ電極73が配置され、集積回路72上で、半導体基板71の中心部にダミーバンプ76を配置している。本半導体集積回路装置を、外部の回路に実装する際、半導体基板71と外部の回路基板の間に圧力をかけて接続するが、本例のように周辺部にバンプ電極を配置すると、チップサイズが大きくなった場合、チップの中心部が受けた圧力でたわみ、集積回路の特性が変わることがある。図59では、チップ中心部にダミーバンプ76を設け、チップのたわみを防いでいる。図59によれば、半導体基板71に必要な面積は、バンプ電極73及び集積回路72の面積だけであり、ダミーバンプ用の領域は全く不要となる。そのため、チップサイズを増やすことなく、集積回路の受けるダメージを防ぐことができる。

【0143】以上の例は、全て、半導体基板周辺部に外部取り出し用バンプ電極を持った例であるが、半導体基板中心部にバンプ電極があり、周辺部にダミーバンプを設ける場合や、外部取り出し用バンプ電極とダミーバンプがランダムに配置される場合も同様に、ダミーバンプを集積回路には位置することにより、半導体基板の面積を小さくすることができる。

【0144】一般的な半導体集積回路の製造方法において、シリコン基板の表面に複数の半導体集積回路をフォトリソグラフィ技術を用いて形成した後に、スクライプ工程により、個々の半導体集積回路に切り離してチップに行くことは良く知られたことである。そのスクライプ工程におけるスクライプ領域近傍のシリコン基板において、シリコン基板の表面には拡散領域を含む電子回路が形成されている。電子回路の表面には保護膜が設けられている。各々の半導体集積回路の間には、スクライプ領域（保護膜及び電子回路が形成されていない領域）が設けられており、その中心部を機械的手段によりシリコン基板をダイシングして切断部をつくる。

【0145】図65(a)は、本発明の半導体集積回路（以下ICと略す）の製造方法を示したICスクライプ近傍の工程順断面図である。シリコン基板（ウェハ）の表面に抵抗、トランジスタ、コンデンサ等を複数素子形成して電子回路を金属配線により結線して形成する。図

65(a)は、例えば、P型シリコン基板81の表面にN型拡散層83が設けられている。N型拡散層83は、電子回路の構成要素の一つである。スクライプ領域89のシリコン基板81の表面は、スクライプ工程により切断しやすいように、保護膜89が除去されている。スクライプ領域89の両側に各々の電子回路が設けられている。金属配線形成後、最終保護膜85をスクライプ領域89と外部電気接続領域（通常パッド領域）とを除いて形成する。最終保護膜85をパターニング後に、スクライプ領域のシリコン基板82の表面を第1のシリコン基板除去工程により除去する。第1のシリコン基板除去工程は、拡散層83より深くシリコン基板を除去する。拡散層83がトランジスタのソースドレイン領域の場合には、少なくとも2 μ m程度深くシリコン基板81を除去する。拡散層83がCMOS回路のウェルの場合には少なくとも5 μ m程度の深くシリコン基板81を除去する。第1のシリコン基板除去工程は、次工程の第二のシリコン基板除去工程（従来のスクライプ工程に対応）に比ベシリコン基板の除去速度が遅く、スクライプ面近傍の結晶欠陥の誘発が少ない。第一のシリコン基板除去工程のシリコン基板速度は遅いために、深い場合でも50 μ mの深さである。従って、第一のシリコン基板除去工程においては、2～50 μ mの深さでシリコン基板を除去する。一般的には、5～50 μ mの深さを用い、好ましくは、10～50 μ mの深さで除去する。また、第一のシリコン基板除去工程は、シリコン基板81へ結晶欠陥を誘発しにくいように、ウェットエッチングのような化学的手段、あるいは、ドライエッチングのような物理的手段と化学的手段との両方の手段を用いることが好ましい。第一のシリコン基板除去工程に機械的手段を用いる場合には、第1(a)のように、スクライプ領域89の中心部に向かって除去巾が小さくなるようなダイシングを行うことが好ましい。図65(a)に示したような、V字型のスクライプ面82Aにすることにより、拡散層83とスクライプ面との間の距離が大きくなるために、スクライプ面に発生する結晶欠陥は拡散層83へ影響しにくくなる。

【0146】第一のシリコン基板除去工程の後に、図65(b)のように、第二のシリコン基板除去工程により、ほぼシリコン基板81の深さ方向に垂直に切断する。スクライプ面82Bは、第二のシリコン基板除去工程により、シリコン基板81の全部、あるいは、ほぼ全部切断する。第二のシリコン基板除去工程は、従来のスクライプ工程と同様な方法で、即ち、機械的手段でシリコン基板81を除去する。シリコン基板81の除去する巾は、第一のシリコン基板除去工程によって形成されたスクライプ面82Bの巾より小さい。第二のシリコン基板除去工程の場合、スクライプ面82Bの内側のシリコン基板81には多くの大きな結晶欠陥が生じる。しかし、スクライプ面82Bが拡散層83に対して離れて存

在するために、電子回路の特性を悪くする作用を防ぐことができる。即ち、本発明のICの製造方法によれば、スクライプ領域89を拡散層3に対して近く配置することにより、チップ面積を小さくすることができる。

【0147】図62(a)は、本発明の半導体集積回路のコーナー部の平面図であり、図62(b)は、図62(a)のA-A'線に沿った断面図である。半導体集積回路は、シリコン基板の表面の各チップごとに、抵抗、トランジスタおよびコンデンサなどをフォトリソ工程により同じ構造に形成される。その後、各チップの間のスクライプラインと呼ばれる領域をダイシング工程により切断して、各チップに分離する。

【0148】図62(a)は、スクライプ後のチップのコーナー部の平面図である。スクライプ面82の内側に集積回路を構成するためのシリコン基板と逆導電型の拡散領域83が設けられている。スクライプ面82と拡散領域83との間には、基板1をエッチング除去したシリコン基板の段差面84が形成されている。図62(b)に示すように、スクライプ面82と拡散領域83との間にほぼ垂直な段差面84が設けられている。拡散領域83を含む基板81の表面は、保護膜85で覆われている。図62のようにスクライプ面より少し内側にシリコン段差84を設けることにより、拡散領域83とスクライプ面82との間の間隔を狭くすることができる。ダイシング工程は、シリコン基板81を機械的手段により切断する。従って、スクライプ面からシリコン基板の内側に向かって結晶欠陥を誘発する。しかし、本発明の半導体集積回路においては、スクライプ面82が拡散領域83の深さより深い位置になっているために、スクライプ面2から誘発する結晶欠陥が拡散領域83へ至らない。シリコン段差84は、シリコン基板81を化学反応を含むエッチング工程により形成される。従って、スクライプ面に比べ結晶欠陥はほとんど形成されないレベルである。特に、ウェットエッチにより形成すれば、物理反応をともしないために、ほとんど結晶欠陥が発生しない。また、反応性イオンエッチングなどの物理反応を含むエッチングを用いて異方性エッチングした場合には、異方性エッチング後に少しウェットエッチを追加することにより、エッチングによる結晶欠陥を取り除くことができる。エッチング段差の深さは、少なくとも拡散領域83より深く形成する必要がある。半導体集積回路をCMOS回路で構成している場合には、基板表面に2 μ m以上深いウェルと呼ばれる拡散領域が設けられている。従って、CMOS回路の場合には、ウェルの深さより深く2 μ m以上にする。スクライプ面から、より離すためには、5 μ m以上、好ましくは、10 μ m以上の深さにする。深い段差を形成することにより、スクライプ面と拡散領域83との距離を5~15 μ m程度に狭くすることができる。

【0149】図63は、本発明の半導体集積回路の別の

実施例である。チップ状に形成した後の、チップ端部の断面図である。スクライプ面82は、従来と同様に基板81の表面から形成されている。しかし、拡散領域83とスクライプ面82との間に、拡散領域83より深い溝86を形成することにより、スクライプ面82と拡散領域83との距離を小さくできる。スクライプ面から誘発する結晶欠陥は、溝86の存在により、溝86より内側に入らないために、拡散領域83をスクライプ面82に近づけることが可能になる。

【0150】図62と図63の実施例から明らかなように、スクライプ面82と拡散領域83との間にシリコン段差を設けることにより、チップ周辺の面積を減少することができる。本発明は、図64に示したような半導体集積回路において特に効果がある。図64は、チップ状になった半導体集積回路の平面図である。スクライプ面82の内側にシリコン段差84が設けられ、さらに、その内側に、電子回路を構成する回路領域88が設けられている。回路領域88は、拡散領域83を含んで構成されている。回路領域88の上に外部電気接続端子である。パッド領域87が複数配置されている。図64のような半導体集積回路においては、パッド領域87が回路領域88の上に配置されているために、回路領域88とスクライプ面82との距離を小さくすることにより、チップ面積を効果的に小さくすることができる。

【0151】また、一般的に、半導体集積回路の場合、チップの周辺長を短くして、チップの内部領域を有効活用できるように設計する。従って、チップの形状は、正方形がもっとも好ましい。しかし、密着イメージセンサ、あるいは、サーマルヘッド駆動用半導体集積回路の場合、その用途により、チップの巾と長さとの比が1桁以上大きいICである。例えば、巾0.5mm長さ7mmのような非常に細長いICである。いわゆる極細ICの場合、チップ面積に対してチップの辺が非常に長い。同じ面積を正方形で構成した場合に比べると2倍以上チップ周囲長が長くなる。従って、本発明の構成にすることにより、チップ周囲の面積を普通のIC以上の効果で減少できる。

【0152】一般的な半導体集積回路のパッド部の断面構造において、基板がP型シリコン基板の場合を例にして説明する。基板の表面に異なるN⁺不純物領域が分離領域で隔てられて設けられている。分離領域は、異なるN⁺不純物領域とN⁺不純物領域とを電気的に分離するために設けた領域である。分離領域には、基板の表面に厚い絶縁膜が設けられている。分離領域の上に外部接続端子であるパッド部が設けられた領域の断面構造において、パッド部の分離領域の上には、パッド部を構成する導電膜(パッド電極)が設けられている。

【0153】導電膜には電源電圧が印加されることがある。そこで、分離領域の閾値電圧を電源電圧より大きく(一般には2倍程度)することにより、N⁺不純物領域

間を電氣的に分離している。パッド部の導電膜は一般的に配線膜と兼ねたアルミニウム主体の膜が用いられている。図66は、本発明の半導体装置のパッド部の断面図である。集積回路のチップサイズを小さくするために、パッドがトランジスタの上に積層して設けられている。トランジスタは、低消費電力に適したMOS型トランジスタである。パッド部は、複数のMOSトランジスタの上に設けられている。図66は、パッド電極の下に設けられたMOSトランジスタ間、または、MOSトランジスタのソース領域とドレイン領域との間の分離領域の部分の断面図である。パッド部以外の分離領域の構造は従来一般的に用いられる構造である。基板61がP型シリコン半導体の場合、分離領域64はN⁻不純物領域62とN⁺不純物領域63との電氣的分離のために設けられている。分離領域64の基板61の表面にはMOSトランジスタのゲート絶縁膜に比べ充分厚いフィールド絶縁膜65が設けられている。フィールド絶縁膜65の上には導電膜68が設けられている。導電膜68の上には、中間絶縁膜66を介してパッド電極67が設けられている。パッド電極67は、一般的に集積回路の配線として用いられているアルミニウム膜で兼ねて形成されている。導電膜68は、MOSトランジスタのゲート電極と兼ねることにより、製造工程を複雑にしないで形成することができる。集積回路の配線が、ダブルメタル構造（ゲート電極を除いた配線数）の場合には、一層目のメタル配線で導電型68を形成することにより、製造工程を複雑にせずに形成できる。

【0154】導電膜68の電位は、基板61の電位、MOSトランジスタのソース領域の電位、MOSトランジスタのドレイン領域の電位、MOSトランジスタのゲート電極の電位、または、電源電圧のいずれかに設定されている。導電膜68をゲート電極と同じ膜で兼ねて形成する場合には、MOSトランジスタのゲート電極を、分離領域64の上に設ける構造になる。この場合には、導電膜68の電位は、そのMOSトランジスタのゲート電極の電位になる。パッド部以外の配線は、最終保護膜69でおおわれている。即ち、パッド部は、外部接続端子とするために、保護膜69に窓あけされた構造となる。

【0155】図66のような分離構造にすることにより、パッド電極67に大きな静電気が印加された場合にも、分離領域64を介したリーク電流の発生を防ぐことがわかった。導電膜68により、分離領域64の基板61の表面部分は、電氣的にシールドされる。従って、基板61の表面のフィールド絶縁膜65に強電界が印加されない。図66のような分離構造の場合、分離巾（領域62と領域63との間の距離）が従来の構造より大きくなってしまう。そこで、本発明の半導体装置においては、パッド電極の下に分離領域を図66のような構造の分離とした。図67は、本発明の半導体装置の平面図である。パッド電極67はチップ50の中心部も含め複数

設けられている。パッド電極67はトランジスタのゲート電極の上に設けられている。パッド電極の面積がチップ面積に対して小さくない（例えば20%以上の割合になっている）集積回路の場合、図67のように、パッド電極をトランジスタの上に積層して設けることにより、チップ面積を小さくすることで効果的にできる。本発明の半導体装置においては、パッド電極67の下に分離領域の構造に図66のような構造を用いた。パッド電極67以外の部分のトランジスタ間の分離は、分離巾を小さくできる。

【0156】図66に示したような分離構造は、シールド電極68により基板61の反転を防止してリーク電流の流れることを防いでいる。従って、図66のようなシールド電極による分離をシールド分離と言う。図67のような分離は、フィールド絶縁膜65を選択酸化方法により部分的に厚くして、その領域の閾値電圧を高くすることによりリーク電流が流れることを防いでいる。閾値電圧を高くするために、フィールド酸化膜65の下に基板61の表面にP型不純物をドーピングしていることが一般的である。

【0157】シールド分離の場合、図66の実施例の場合は選択酸化によるフィールド絶縁膜65が形成されているが、厚いフィールド絶縁膜68の形成は必要条件とされない。以上説明したように、パッド電極を複数のトランジスタの上に積層して形成する半導体集積回路において、パッド電極の下にトランジスタ間の分離構造をシールド分離にすることにより、パッド電極に静電気が印加された場合に発生する分離間のリーク電流を防止することができる。パッド電極が形成されていない領域のトランジスタ間の分離は、シールド分離にする必要がなく、分離巾を最小にできる異なる構造の分離を用いることにより、チップ面積をより小さくすることができる。

【0158】図68は、パッド電極の下に用いるシールド分離とは異なる構造の分離の実施例である。N型不純物62とN型不純物63との間の分離領域64は、厚いフィールド絶縁膜65の中間にフィールド絶縁膜65の窓を設け、その窓領域に高濃度のP型（ 10^{19} atoms/cm³以上）不純物領域を設けた。図68は高濃度の不純物領域69が分離すべきN型不純物領域62とN型不純物領域63との中間に、それぞれの領域から離れ設けられている。図68のような分離は、拡散領域69により分離しているので、拡散分離と言う。チップ内のパッド領域の下にトランジスタ間の分離を拡散分離にすることにより、リーク電流の発生を防止することができる。拡散分離の場合にも、分離巾が長くなる欠点がある。従ってパッド電極以外の分離は、別の構造の分離にすることが好ましい。拡散分離の場合も、シールド分離と同様に、選択酸化による厚いフィールド絶縁膜65は必要でない。

【0159】図69は、パッド電極67の上にバンブ電

極70を設けた場合の本発明の半導体装置の実施例の断面図である。一般的に、パッド電極に外部接続手段としてワイヤボンディングが用いられる場合が多い。トランジスタの上にパッド電極を設け、そのパッド電極の上にワイヤボンディングをする場合、ワイヤボンディングによる応力でトランジスタが劣化することがある。図69のように、ワイヤボンディングの代わりとして半田バンプ等のバンプ電極を用いたフェイスダウン方式による外部接続手段を用いることにより、パッド電極7の下

のトランジスタの劣化を防ぐことが容易にできる。
 【0160】一般の電子回路に用いられる半導体集積回路において、トランジスタを含んだ能動素子領域とチップとの間に外部接続端子である複数のパッド部703が配置されている。即ち、チップの表面には、能動素子領域とパッド部とが別々の領域に2次元的に配置されている。また、パッド部にはボンディングによりワイヤが接続されている。そのワイヤは各々のパッケージのリードに接続している。さらに、各々のリードがプリント基板の金属配線に半田づけされている。

【0161】図70は本発明の電子回路に用いる半導体集積回路の断面図である。基板としてシリコン半導体711を用いた場合について説明する。P型シリコン基板711の表面に絶縁ゲート型電界効果トランジスタが形成されている。絶縁ゲート型電界効果トランジスタは、P型シリコン基板711に互いに離れて設けられたN型ソース領域712とドレイン領域713と、そのソース領域712とドレイン領域713との間のシリコン基板の表面にゲート絶縁膜715を介して設けられたゲート電極716とから構成されている。ゲート電極716と配線金属718との間には層間絶縁膜717が形成されている。基板711の表面に設けられた各々のトランジスタの間には、厚い絶縁膜714が形成されている。厚い絶縁膜714の上に金属配線718が配置された場合においても、その厚い絶縁膜により、その下の基板表面のP型をN型に反転するのを防ぐことができる。即ち、厚い絶縁膜714は各々のトランジスタの電極的分離をするために設けられている。金属配線の上には保護膜719が設けられている。保護膜719は、金属配線が一層、二層、三層等にかかわらず、最上の金属配線の上に設けられる。

【0162】図70の実施例は、一層の金属配線の集積回路の場合である。トランジスタの上に外部端子接続用のパッドは、金属配線と同じ膜で形成されている。パッドの金属膜の上の保護膜719は、図70のように窓あけされ、その窓あけされた領域をおおうように半田バンプ721が形成されている。パッドの金属膜718と半田バンプの間にはバリア金属720が設けられている。例えば、金属配線718がアルミニウムの場合には、バリア金属720として密着性の良いクロム膜がスパッタ法により形成されている。本発明の半導体集積回路は、

図70のようにパッド部がゲート電極718の上に構成されており、更に、パッド部に半田バンプが設けられている構造になっている。

【0163】図70に示すような構造の半導体集積回路の場合の平面図を図71に示す。パッド部703が能動素子領域702の上に重なるようにして設けられているためにチップ701の面積を小さくすることができる。さらに、パッドの配置も半田バンプを用いた平面実装をプリント基板と直接することができるために、平面的に縦横各々3個以上配置できる。チップの中心にもパッドを配置することができる。

【0164】図72は、プリント基板741にチップを実装した電子回路の平面図である。プリント基板741の表面に対してフェイスダウン方式でチップの表面が接着されている。従って、プリント基板701の表面からは、チップの裏面が見える構造になっている。図73は、図72のA-A'線に沿った断面図である。プリント基板741の配線42とバンプ721が電氣的・機械的に接続している。

【0165】図72、図73に示した電子回路の製造方法について説明する。まず、一般的な集積回路製造方法によりウェハ表面に集積回路を形成する。各々の集積回路はスクライブラインによって平面的に分離されている。集積回路の複数のパッド電極703は、能動素子領域702の上に積層して形成される。パッド電極703の上の保護膜719に窓あけされ、そのパッド電極703に直接電氣的機械的に接続するようにバリアメタル720が形成される。バリアメタル720は、各々のパッド領域をおおうようにパターニングされる。次に、バリアメタル720の上に半田721を選択的にメッキ成長することにより半導体集積回路をウェハ状態で製造する。

【0166】次に、ウェハ内の各々の半導体集積回路の電気特性をテスターにより評価して良品と不良品とを区別する。次に、テスターしたウェハをスクライブラインに沿ってスクライブすることによりチップ状態にする。次に、各々のチップ701を各々のプリント基板741の所定の位置にロボットによりフェイスダウン方式により接着させる。フェイスダウン方式で接着するために、各々のバンプ721の表面にフラックス（半田ヤニ）を塗布した後に、プリント基板741の決められた配線742に位置合わせして接着する。プリント基板とチップとの位置合わせは、以下のようにして可能になる。プリント基板及びチップの画像を決められた場所に位置した電子カメラで観察する。チップとプリント基板の重なる部分のプリント基板は一部窓あけ744がされている。窓あけ744の存在により、電子カメラでプリント基板の裏面から観察することもできる。その画像情報をコンピュータが計算し、その計算結果によりロボットがチップをプリント基板に対して所定の位置に配置することが

できる。

【0167】次に、プリント基板741と半導体集積回路701との電気的接合がおこなわれる。図74は、その工程の模写図である。チップ701の上からチップ方向に対して熱風を当てる。熱風は円柱状で内側が空洞の容器762を通してチップ701に送られる。容器762の内側には、ヒーター761が設けられており、そのヒーターで消費する電力でチップ701の温度を制御する。室温の空気は矢印Cから入り、ヒーターを通ることにより熱風となり、矢印Dのように方向性を持ってチップに送られる。方向性をもった熱風によりプリント基板のチップ部のみ局所的に加熱できる。熱風により、チップの半田バンプ721とプリント基板の配線金属とが合金化して電気的・機械的に強く接続する。方向性を持った熱風の風圧を制御することにより、半導体集積回路が機械的応力により劣化することを防止している。合金化工程においては、チップの自重のみでも合金化可能である。

【0168】次に、チップ701の表面からチップ701をカバーするように有機樹脂743をモールドする。有機樹脂は外部からの集積回路への光の進入を防ぐ目的で設けられている。即ち、遮光膜としての機能を有している。また、窓あけ744に樹脂モールドを注入することにより、チップとプリント基板との機能度を図72、図73の電子装置として、電子時計用のプリント基板を形成した結果目的通りの結果が得られた。特に、本発明の電気装置においては、チップ701の消費電力が非常に小さい場合に実用化できる。即ち、本発明の場合、チップの熱放出能力が従来の実装構造より悪い。しかし、電子時計のように、半導体集積回路の消費電流が10 μ A以下の場合には、図72のような簡単な構造で本発明の目的を実現できる。

【0169】消費電流を10 μ A以下にするためには、半導体集積回路としてCMOSIC（相補型絶縁ゲート電界効果型集積回路、Complimentary Metal Oxide Semiconductor Integrated Circuit）を用いている。CMOSICの場合、バイポーラICより機械的応力に対して特性が変化しやすい欠点がある。しかし、今回の半田バンプを用いたチップ圧力制御した実装により、その欠点を回避することができた。さらに、本発明においては、フォイスダウン方式により、チップをプリント基板に実装する方法のために、同時に複数のチップを実装することができる。同時に実装できるように実装の生産効率は大幅に改善された。

【0170】

【発明の効果】この発明は、以上説明したように、サーマルヘッド用半導体装置において、トランジスタの一部と出力端子であるパッド領域とを平面的に重ねて配置できるようにしたために、チップ面積が小さくなり製造コ

ストを小さくする効果がある。また、トランジスタのゲート電極とドレイン領域のコンタクトホールとの距離を長くできるために、静電耐圧を高くできる効果がある。

【0171】また本発明の半導体装置は、高耐圧を維持しつつ、高電流駆動能力を有する半導体装置を小面積・低コストで実現できる。さらに、静電気に対しても強くできる。また本発明の半導体集積回路は、ゲート絶縁膜を100~250Åと薄膜化することにより、出力パッド周辺に沿ってHVMISFETを配置するだけでFAX用に十分な電流駆動能力を得ることができる。HVMISFETを出力パッド周辺に配置することにより、チップ面積を小さくでき、その結果、コストダウンが実現できる。

【0172】また本発明は、少なくとも出力パッドを非常に多く有する、例えば、ドライバICにおいて、出力パッドを各々に対応した駆動トランジスタ、あるいは、ロジック回路の上に設けることにより、チップ面積を縮小しコストダウンを図る効果がある。さらに、配線として、バンプ電極、または、バリアメタルを用いることにより、チップの面積を縮小する効果がある。また、各出力パッドから大きな電流をバラツキなく流す効果がある。

【0173】また本発明によれば、電子回路上にパッシベーション膜開口部面積を小さく外部電気接続端子用メタル電極上に重ねて設けたことで、電子回路設計の自由度が高く、チップサイズの小さい半導体集積回路が提供できる。また本発明は、製造工程の増加せずに、バンプ構造を外部電気接続端子だけでなく、配線手段として利用できるようにすることにより、チップ面積を縮小し、コストダウンを図る効果がある。

【0174】また本発明はバンプ及び該バンプの下に金属膜を有する半導体集積回路において、金属膜を半導体素子上に被せる事により遮光するので、隙間ができず漏れ光がなく、素子を安定動作させることが出来る。また本発明によれば、実装時の応力を逃がす構造としたことで、回路の特性を変化させない電子回路上のバンプ電極有する信頼性の高い半導体集積回路が提供できる。

【0175】また本発明によれば、実装時の応力を逃がす構造としたことで、回路の特性を変化させない電子回路上の外部電気接続端子用アルミニウム電極有する信頼性の高い半導体集積回路が提供できる。また本発明によれば、実装時の応力を逃がす構造としたことで、回路の特性を変化させない電子回路上のバンプ電極有する信頼性の高い半導体集積回路が提供できる。

【0176】また本発明によれば、実装時の応力を緩和する構造としたことで、回路の特性を変化させない電子回路上の外部電気接続端子用メタル電極またはバンプを有する信頼性の高い半導体集積回路が提供できる。また本発明によれば保護回路面積を小さくすることができ、かつ自由にレイアウトできるので、半導体集積回路装置

のチップサイズを小さくすることができる。

【0177】また本発明は、バンプ電極を用いた用いた半導体集積回路装置において、半導体集積回路装置を外部の基板に実装する際に必要となるダミーバンプを、集積回路上に配置することによって、チップ面積を小さくすることが出来、コストダウンを図る効果がある。また本発明は、スクライブ面と回路領域との間にスクライブによって誘発される結晶欠陥が回路領域へ至るのを防ぐための手段として、シリコン段差を設けることにより、チップ面積を小さくしてコストダウンを図る効果がある。特に、本発明は、回路領域の上に外部接続端子（パッド）を設けた半導体集積回路において、より効果が大

きい。また、本発明は、ICの用途上細井形状にせざるをえない。例えば、密着型イメージセンサIC、サーマルヘッド駆動用ICにおいては、チップ周辺長が非常に長いために、非常にチップ面積縮小に効果がある。

【0178】また本発明によれば、以下の様な効果を達成できる。

- (1) パッド電極をトランジスタ上に形成できるので、チップサイズを小型にできる。
- (2) パッド電極の下のトランジスタ間の分離をシールド分離、または、拡散分離することにより、静電耐圧特性を改善できる。
- (3) チップサイズの縮小化ができる。
- (4) 電子回路の小型化ができる。
- (5) 電子回路の生産性を向上できる。
- (6) 電子回路のコストダウンをはかることができる。

【図面の簡単な説明】

- 【図1】本発明の半導体装置の出力部の断面図である。
 【図2】従来の半導体装置の出力部の断面図である。
 【図3】従来の半導体装置の平面図である。
 【図4】従来の半導体集積回路装置の例を示す平面図である。
 【図5】本発明の半導体装置の平面図である。
 【図6】本発明の半導体装置の別の実施例の出力部の断面図である。
 【図7】本発明の半導体装置の電気特性図である。
 【図8】本発明の半導体装置の断面図である。
 【図9】本発明の半導体装置の電氣的等価回路図である。

【図10】本発明の半導体装置を用いたサーマルヘッドICの電気回路図である。

- 【図11】本発明の半導体集積回路の平面図である。
 【図12】本発明の半導体集積回路の平面図である。
 【図13】(a)は、本発明の半導体集積回路の出力パッド部分の平面図である。(b)は、図13(a)のA-A'線に沿った断面図である。

【図14】(a)は、本発明の半導体集積回路の出力パ

ッド部分の別の実施例の平面図である。(b)は、図14(a)のB-B'線、または、C-C'線に沿った断面図である。

【図15】本発明の半導体集積回路の平面図である。

【図16】(a)は、本発明の半導体集積回路の出力パッド部分の平面図である。(b)は、図16(a)のD-D'線に沿った断面図である。

【図17】本発明の半導体装置の平面図である。

【図18】本発明の半導体装置の出力パッド近傍の断面図である。

【図19】本発明の半導体装置の別の実施例の平面図である。

【図20】本発明の半導体装置の別の実施例の断面図である。

【図21】本発明の半導体装置の別の実施例の断面図である。

【図22】本発明の半導体装置の別の実施例の断面図である。

【図23】(a)は本発明による半導体集積回路装置の1実施例の平面図である。(b)は本発明による半導体集積回路装置の実装時の状態を示す断面図である。

【図24】(a)は本発明による半導体集積回路装置の1実施例の平面図である。(b)は本発明による半導体集積回路装置の実装時の状態を示す断面図である。

【図25】本発明による半導体集積回路装置の1実施例の特性図である。

【図26】本発明の半導体装置の断面図である。

【図27】本発明の半導体装置の各々別の実施例の平面図である。

【図28】本発明の半導体装置の各々別の実施例の平面図である。

【図29】本発明の半導体装置の各々別の実施例の平面図である。

【図30】本発明による半導体装置の実施例を示す構造断面図である。

【図31】本発明による半導体装置の実施例を示す図である。

【図32】(a)は本発明による半導体集積回路装置の1実施例の平面図である。(b)は本発明による半導体集積回路装置の実装時の状態を示す断面図である。

【図33】本発明の別の実施例の半導体集積回路の平面図である。

【図34】本発明の別の実施例の半導体集積回路の平面図である。

【図35】本発明の別の実施例の半導体集積回路の平面図である。

【図36】(a)は本発明による半導体集積回路装置の1実施例の平面図である。(b)は本発明による半導体集積回路装置の実装時の状態を示す断面図である。

【図37】本発明の別の実施例の半導体集積回路の平面

図である。

【図 38】本発明の別の実施例の半導体集積回路の平面図である。

【図 39】本発明の別の実施例の半導体集積回路の平面図である。

【図 40】(a) は、本発明による半導体集積回路装置の 1 実施例の平面図であり、(b) は、本発明による半導体集積回路装置の実装時の状態を示す断面図である。

【図 41】本発明の別の実施例の半導体集積回路の平面図である。

【図 42】本発明の別の実施例の半導体集積回路の平面図である。

【図 43】本発明の別の実施例の半導体集積回路の断面図である。

【図 44】本発明の別の実施例の半導体集積回路の断面図である。

【図 45】本発明の別の実施例の半導体集積回路の断面図である。

【図 46】(a) は本発明による半導体集積回路装置の 1 実施例の断面図である。(b) は本発明による半導体集積回路装置の実装時の状態を示す断面図である。

【図 47】本発明の別の実施例の半導体集積回路の断面図である。

【図 48】本発明による半導体集積回路装置の 1 実施例の断面図である。

【図 49】(a) は本発明による半導体集積回路装置の 1 実施例の平面図である。(b) は本発明による半導体集積回路装置の実装時の状態を示す断面図である。

【図 50】(a) は本発明による半導体集積回路装置の 1 実施例の平面図である。(b) は本発明による半導体集積回路装置の実装時の状態を示す断面図である。

【図 51】本発明による半導体集積回路装置の 1 実施例の平面図である。

【図 52】本発明の別の実施例の半導体集積回路の平面図である。

【図 53】本発明の更に別の実施例の半導体集積回路の平面図である。

【図 54】本発明のまた更に別の実施例の半導体集積回路の平面図である。

【図 55】本発明による半導体集積回路装置の 1 実施例の平面図である。

【図 56】本発明の別の実施例の半導体集積回路の平面図である。

【図 57】本発明の別の実施例の半導体集積回路の平面図である。

【図 58】本発明の別の実施例の半導体集積回路の平面図である。

【図 59】本発明の別の実施例の半導体集積回路の平面図である。

【図 60】本発明による半導体集積回路装置の 1 実施例の平面図である。

【図 61】本発明の別の実施例の半導体集積回路の平面図である。

【図 62】図 (a) は、本発明の半導体集積回路のチップコーナー部の平面図であり、図 (b) は、図 (a) の A-A' 線に沿った断面図である。

【図 63】本発明の別の実施例の半導体集積回路のチップコーナー部の断面図である。

【図 64】本発明の別の実施例の半導体集積回路のチップコーナー部の平面図である。

【図 65】本発明の半導体集積回路の製造方法を示した半導体集積回路のスクライプ領域近傍の工程順断面図である。

【図 66】本発明の半導体装置のパッド部の分離領域の断面図である。

【図 67】本発明の半導体装置の平面図である。

【図 68】本発明の半導体装置のパッド部の分離領域の断面図である。

【図 69】本発明の他の半導体装置のパッド部の分離領域の断面図である。

【図 70】本発明の電子回路に用いる半導体装置の断面図である。

【図 71】本発明の電子回路に用いられている半導体装置の平面図である。

【図 72】本発明の電子回路の平面図である。

【図 73】図 72 の A-A' 線に沿った断面図である。

【図 74】本発明の電子回路の製造方法を示した模式図である。

【符号の説明】

- | | |
|-----|---------------------------|
| 1 | P 型半導体領域 |
| 2 | N 型ソース領域 |
| 3 B | 第 1 のドレイン領域 |
| 3 A | 第 2 のドレイン領域 |
| 4 | ゲート絶縁膜 |
| 5 | ゲート電極 |
| 6 | フィールド絶縁膜 |
| 7 | 中間絶縁膜 |
| 8 | アルミ配線 |
| 9 | 最終保護膜 |
| 101 | P 型シリコン基板 |
| 102 | N ⁺ 高濃度ソース領域 |
| 105 | N ⁺ 型高濃度ドレイン領域 |
| 106 | ゲート絶縁膜 |
| 107 | フィールド絶縁膜 |
| 108 | ゲート電極 |
| 109 | 最終保護膜 |
| 121 | P 型フィールドロブ領域 |
| 122 | N ⁻ 型低濃度ドレイン領域 |
| 50 | チップ |

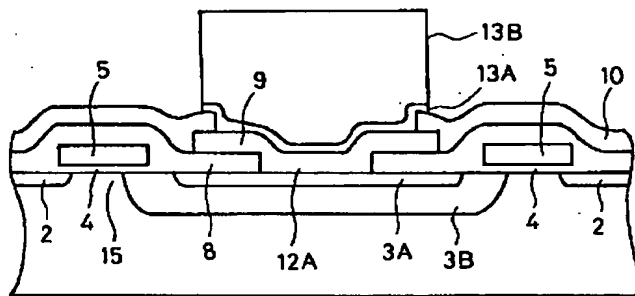
202 パッド領域
 203 バンプ電極
 211 P型シリコン基板
 212 N型ソース領域
 213 N型ドレイン領域
 214 フィールド絶縁膜
 215 ゲート絶縁膜
 216 ゲート電極
 217 中間絶縁膜
 218 アルミ配線
 219 最終保護膜
 220 バリアメタル
 221 バンプ電極
 301 半導体基板
 302 ポリシリコン抵抗
 303 層間膜
 304 外部電気接続端子用メタル電極
 305 パッシベーション膜
 306 ボンディングワイヤー
 307 パッシベーション膜開口部
 308 ハンダまたは金バンプ電極
 309 外部電極基板
 310 バリアメタル
 201 P型シリコン基板
 202 パッド領域
 203 バンプ電極
 211 P型シリコン基板
 212 E、12FN型拡散領域
 214 フィールド絶縁膜
 217 中間絶縁膜
 218 アルミ配線
 219 保護膜
 220 バリアメタル
 221 バンプ
 401 半導体素子 (MOS型トランジスタ)
 402 パッド金属
 403 バリアメタル
 404 金バンプ
 405 遮光膜
 406 保護膜
 407 絶縁膜
 408 アナログ回路
 501 半導体基板
 502 ポリシリコン抵抗
 503 パッシベーション膜
 504 バンプ電極
 505 外部回路基板
 506 バリアメタル層
 531 クラック
 541 バンプ電極隙間部

501 半導体基板
 502 ポリシリコン抵抗
 503 パッシベーション膜
 554 外部電気接続端子用アルミニウム電極
 505 ボンディングワイヤー
 531 クラック
 541 外部電気接続端子用アルミニウム電極隙間部
 501 半導体基板
 502 ポリシリコン抵抗
 10 503 パッシベーション膜
 554 外部電気接続端子用アルミニウム電極
 505 ボンディングワイヤー
 531 クラック
 541 外部電気接続端子用アルミニウム電極凸部
 542 外部電気接続端子用アルミニウム電極凹部
 501 半導体基板
 502 ポリシリコン抵抗
 503 パッシベーション膜
 594 バンプ電極
 20 505 外部回路基板
 506 バリアメタル層
 531 クラック
 591 バンプ電極中空部
 501 半導体基板
 502 ポリシリコン抵抗
 502 パッシベーション膜
 554 外部電気接続端子用アルミニウム電極
 505 ボンディングワイヤー
 506 ポリイミド膜
 30 531 クラック
 541 外部電気接続端子用アルミニウム電極隙間部
 801 半導体基板
 802 ポリシリコン抵抗
 803 層間膜
 804 外部電気接続端子用メタル電極
 805 パッシベーション膜
 806 ボンディングワイヤー
 807 パッシベーション膜開口部
 808 ハンダまたは金バンプ電極
 40 809 外部電極基板
 831 クラック
 601 半導体基板
 602 内部回路
 603 パッド電極
 604 保護回路
 640 保護回路ブロック
 71 半導体基板
 72 集積回路
 73 バンプ電極
 50 76 ダミーバンプ

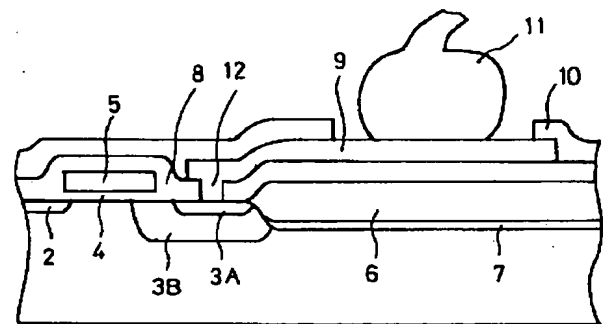
- 86 バンプ空間部
 71 半導体基板
 72 集積回路
 73 バンプ電極
 76 ダミーバンプ
 81 P型シリコン基板
 82 スクライブ面
 83 N型拡散領域
 85 保護膜
 89 スクライブ領域
 81 シリコン基板
 82 スクライブ面

- * 83 拡散領域
 84 シリコン段差面
 85 保護膜
 86 溝
 61 基板
 62、63 N型不純物領域
 64 分離領域
 701 チップ
 702 能動素子領域
 10 703 パッド部
 721 バンプ電極
 * 741 プリント基板

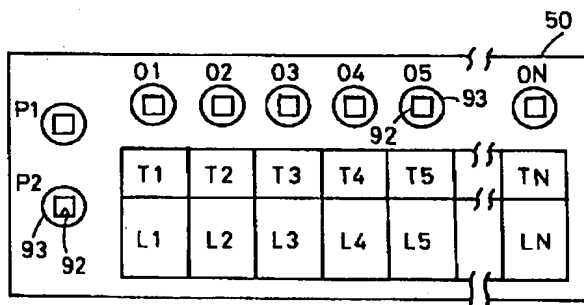
【図1】



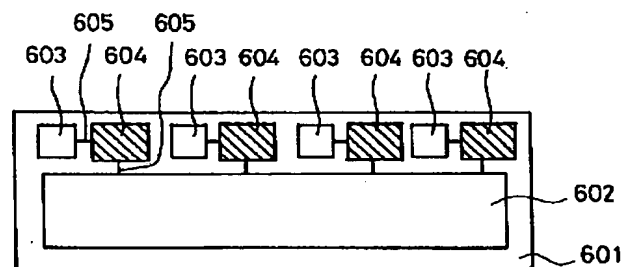
【図2】



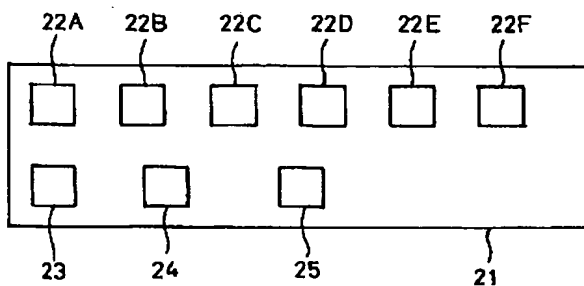
【図3】



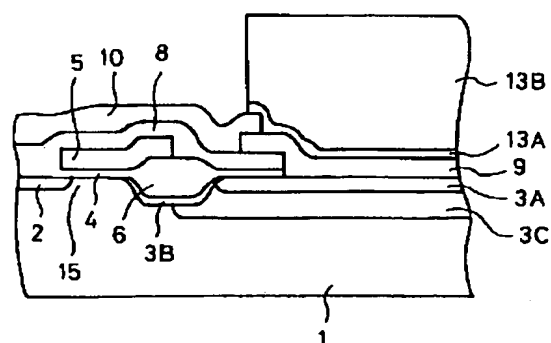
【図4】



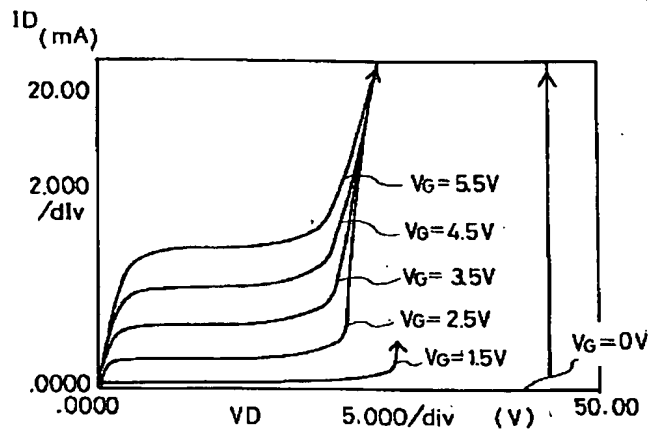
【図5】



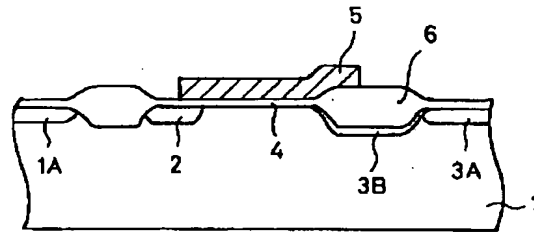
【図6】



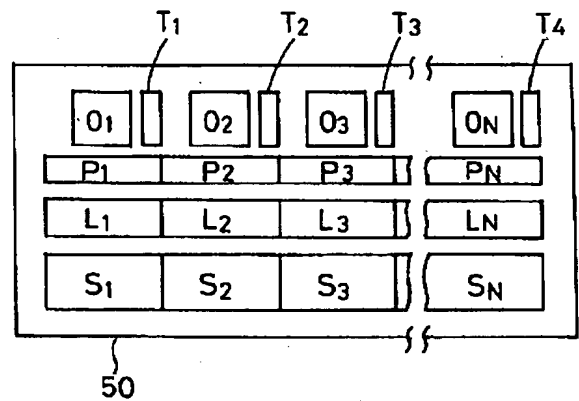
【図7】



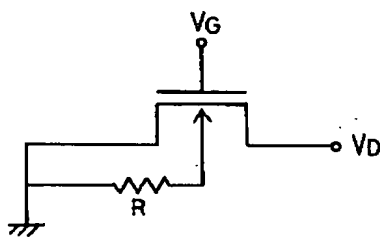
【図8】



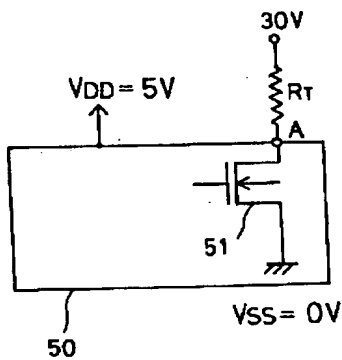
【図11】



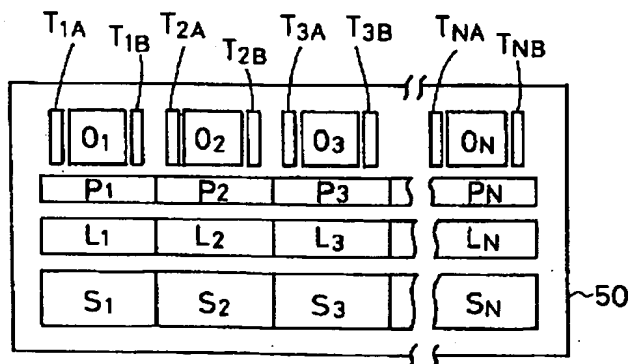
【図9】



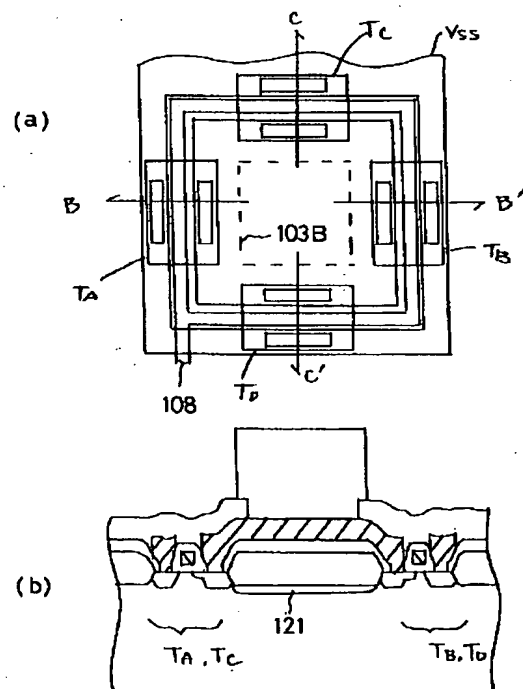
【図10】



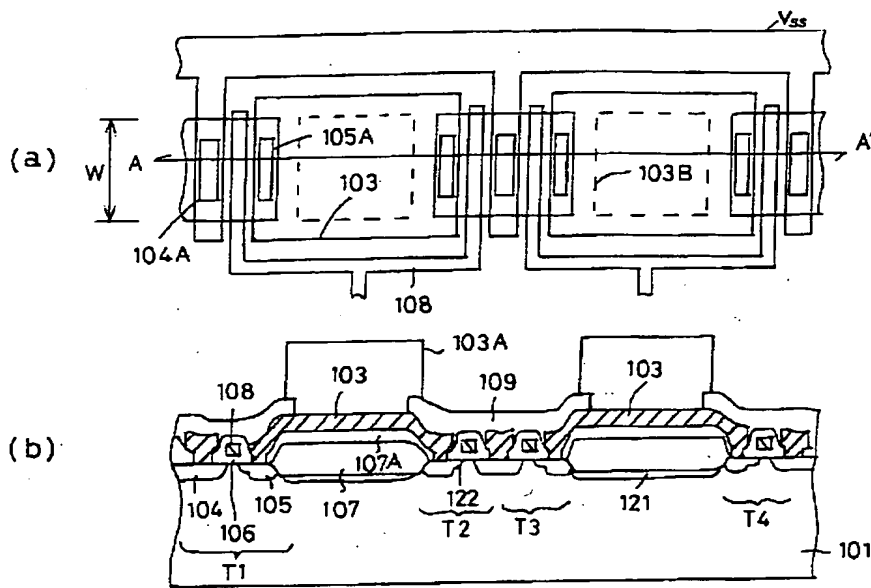
【図12】



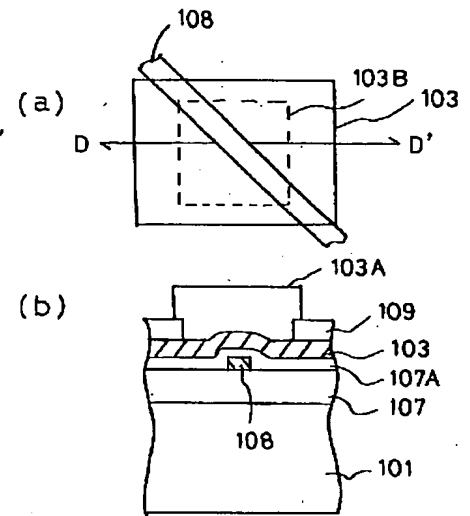
【図14】



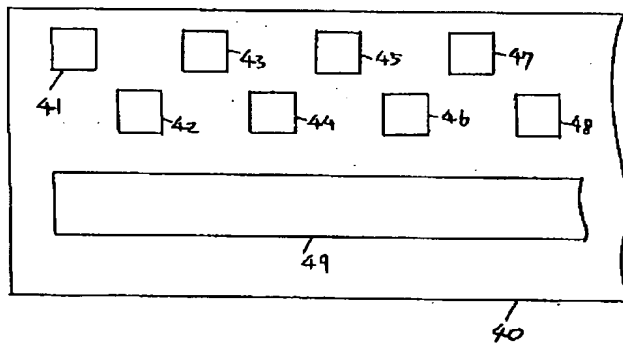
【図13】



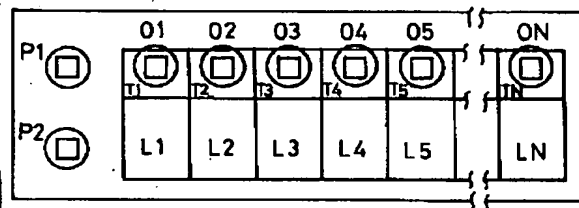
【図16】



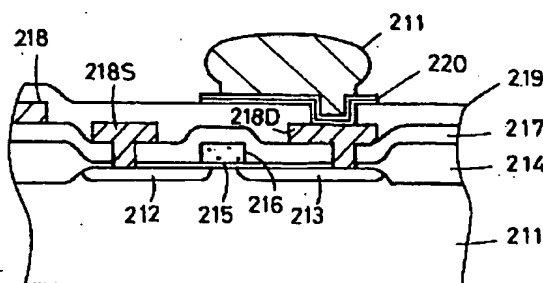
【図15】



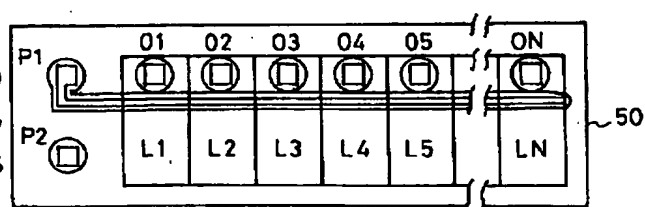
【図17】



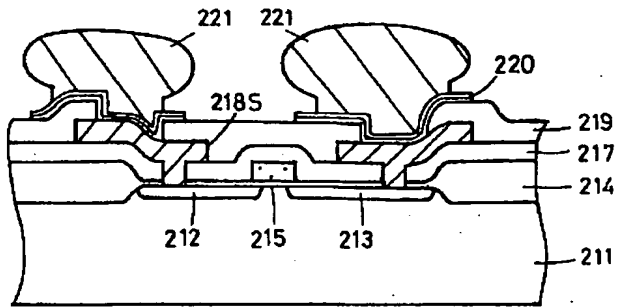
【図18】



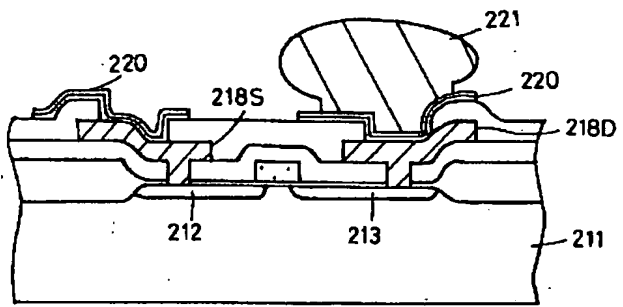
【図19】



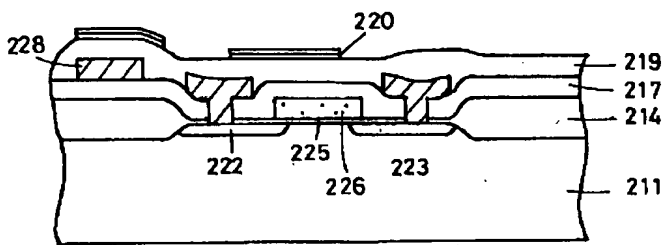
【図 20】



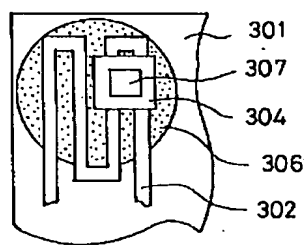
【図 21】



【図 22】

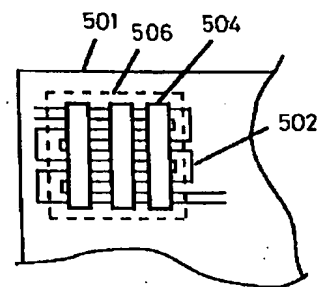


【図 23】

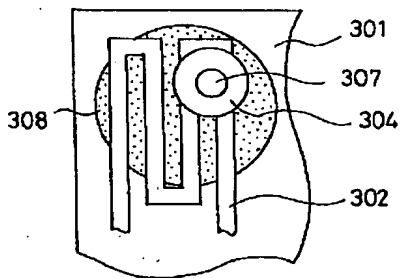


(a)

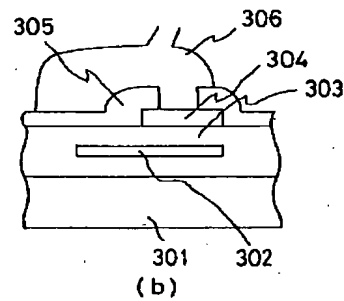
【図 33】



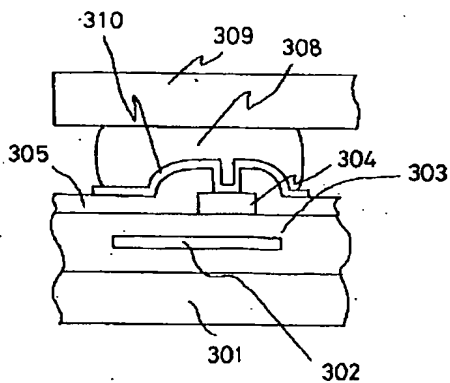
【図 24】



(a)

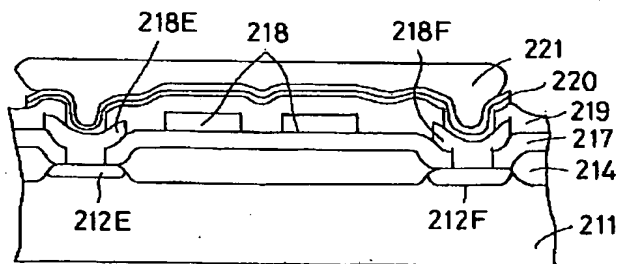


(b)

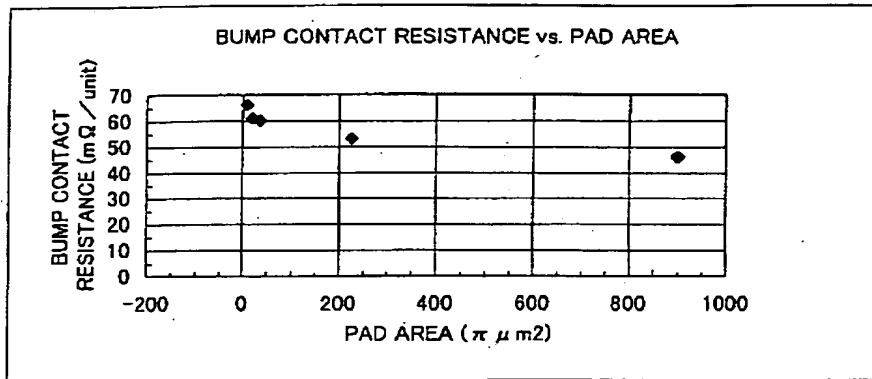


(b)

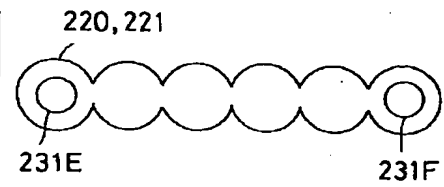
【図 26】



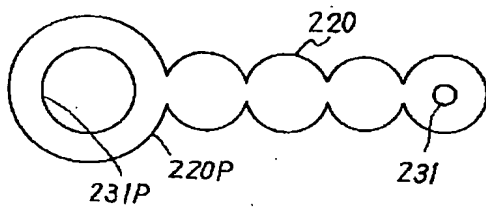
【図 25】



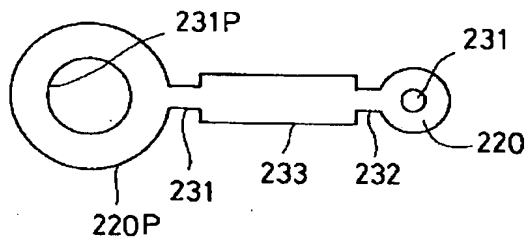
【図 27】



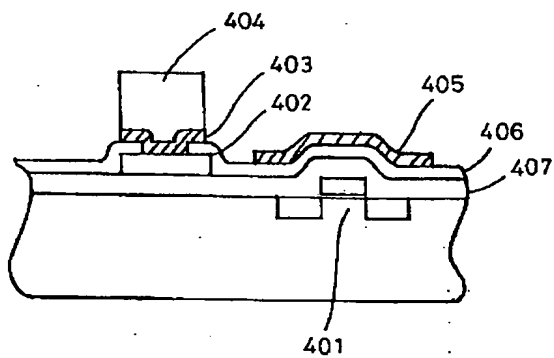
【図 28】



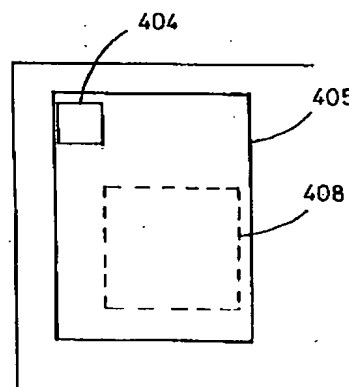
【図 29】



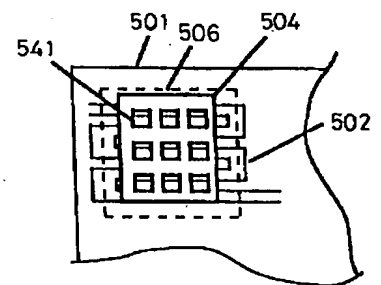
【図 30】



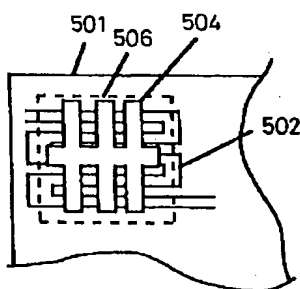
【図 31】



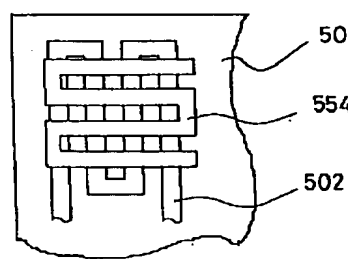
【図 34】



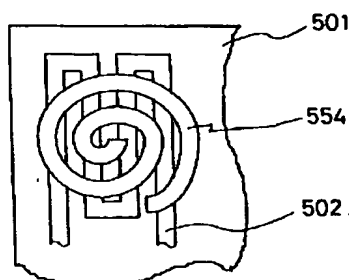
【図 35】



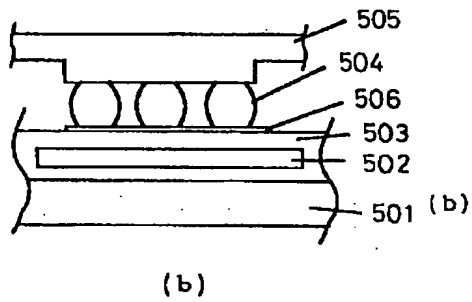
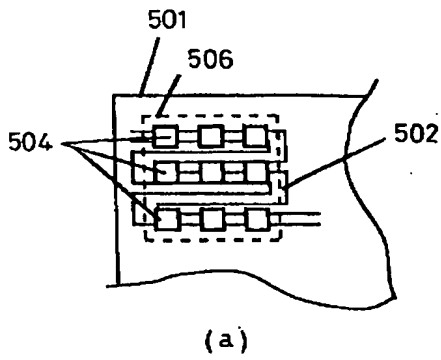
【図 37】



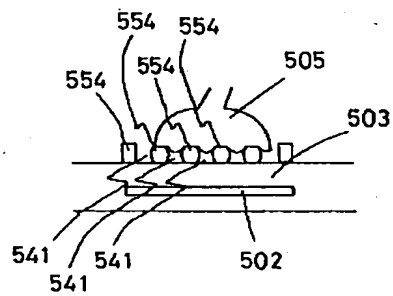
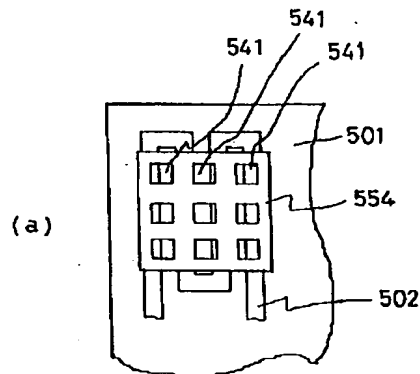
【図 38】



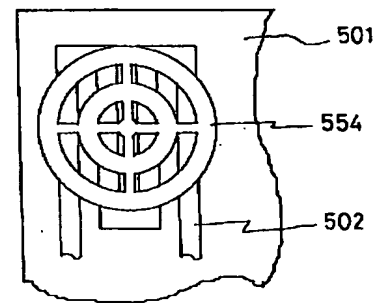
【図 32】



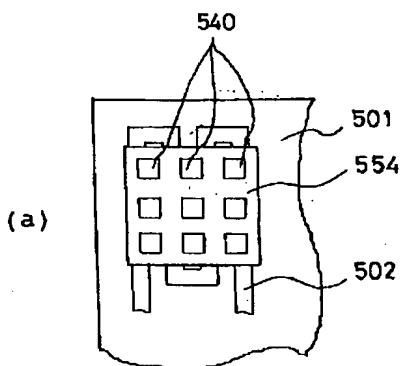
【図 36】



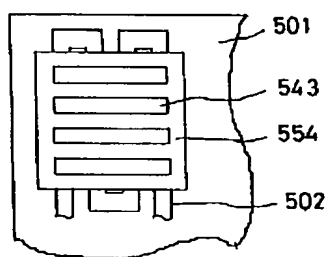
【図 39】



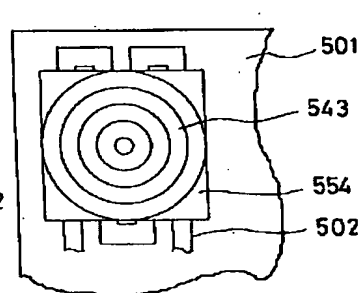
【図 40】



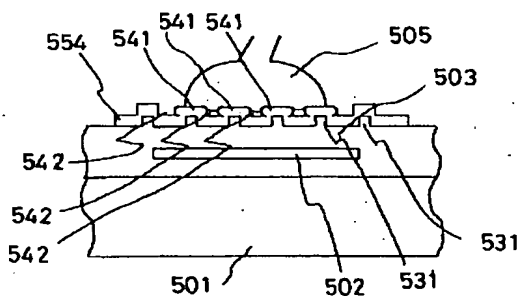
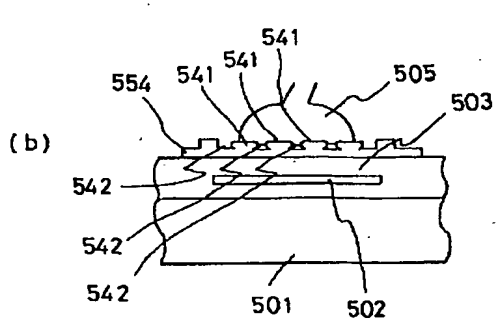
【図 41】



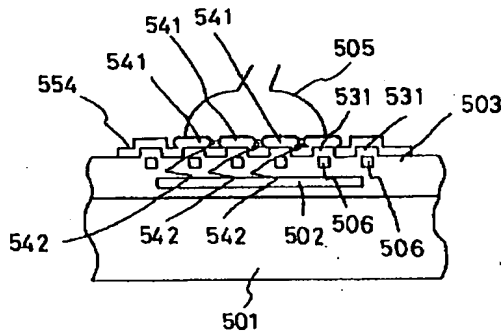
【図 42】



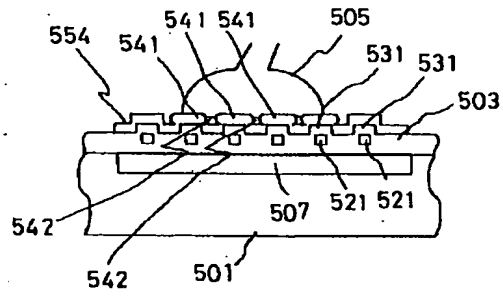
【図 43】



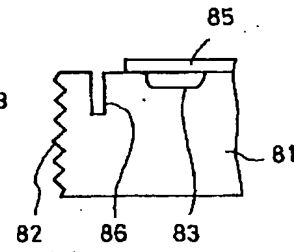
【図 4 4】



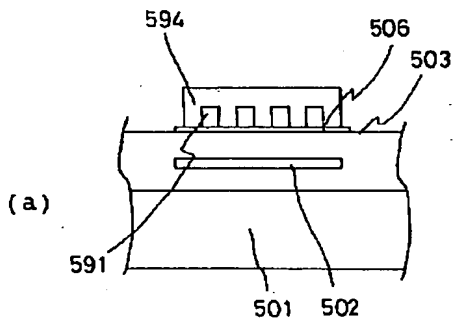
【図 4 5】



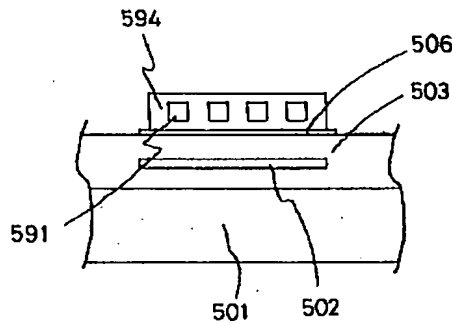
【図 6 3】



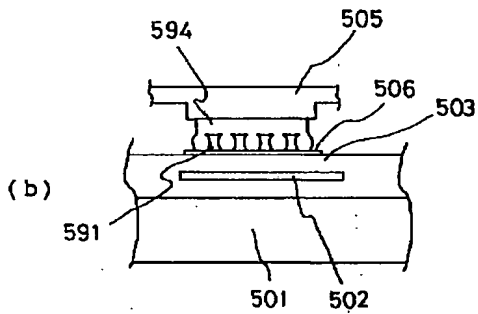
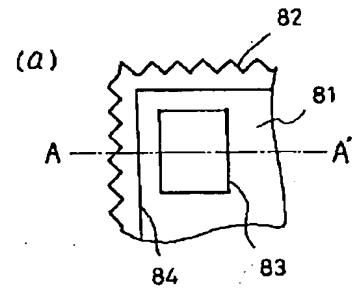
【図 4 6】



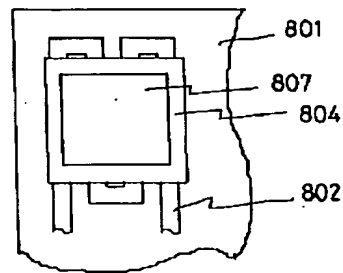
【図 4 7】



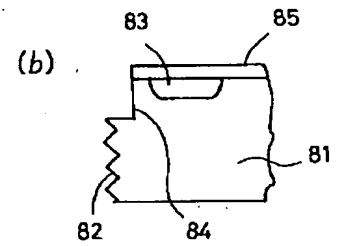
【図 6 2】



【図 4 9】

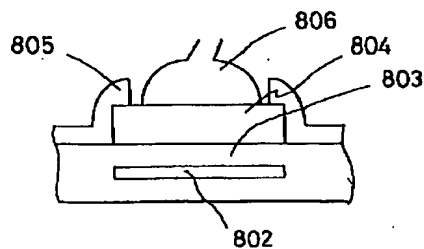
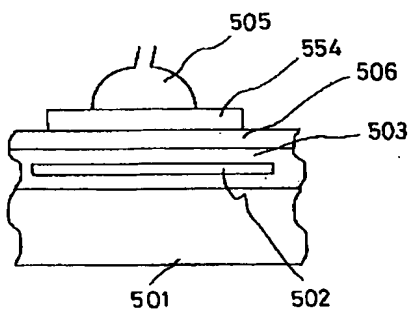


(a)



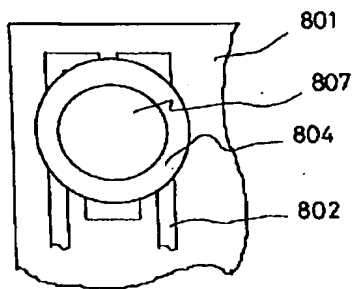
(b)

【図 4 8】

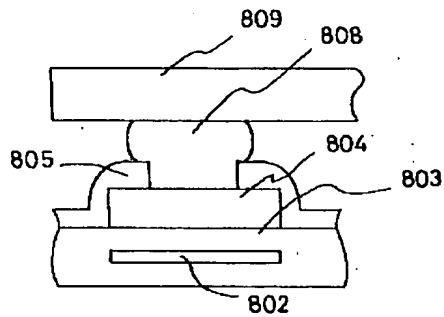


(b)

【図50】

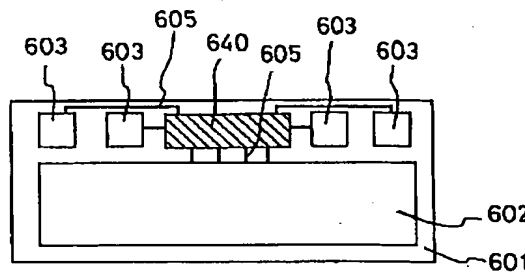


(a)

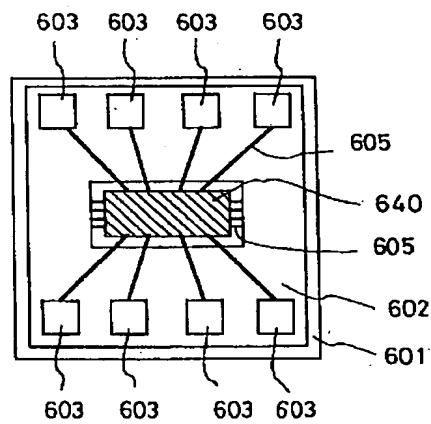


(b)

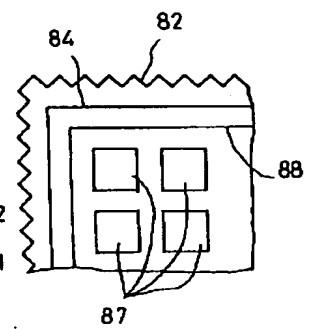
【図51】



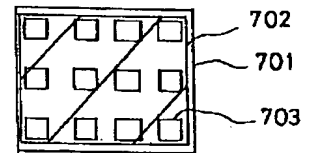
【図53】



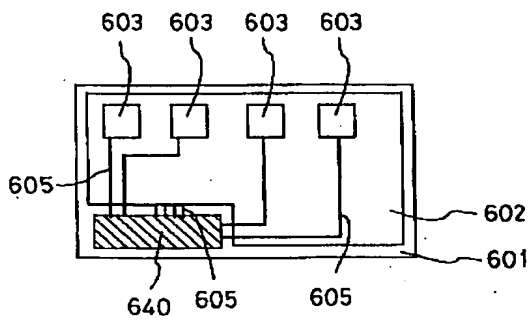
【図64】



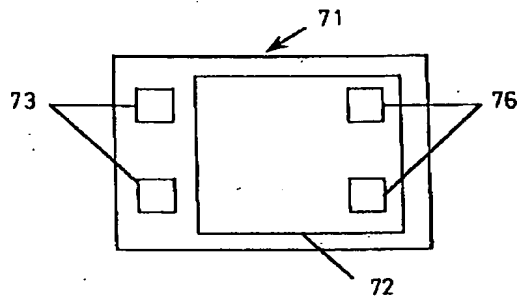
【図71】



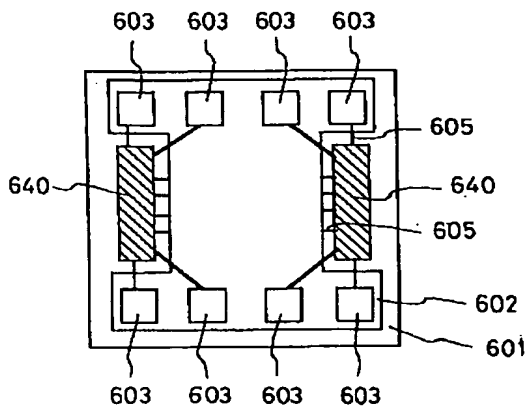
【図52】



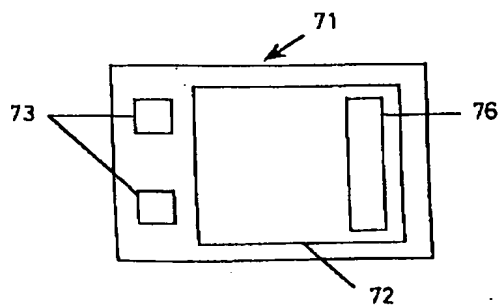
【図55】



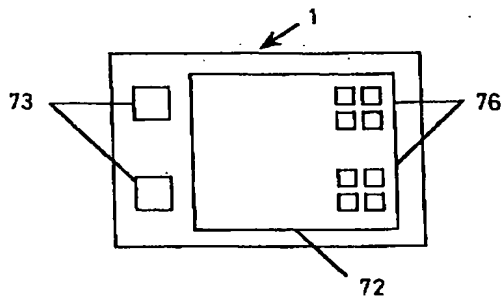
【図54】



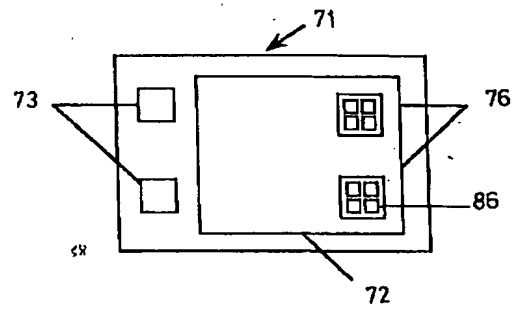
【図56】



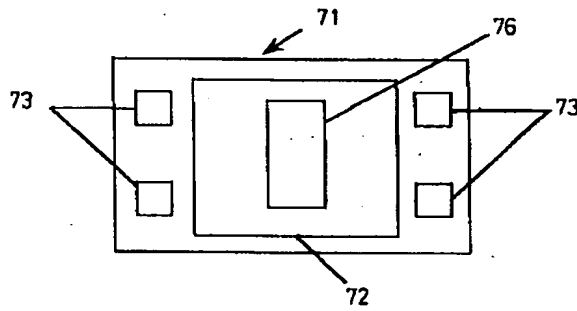
【図 57】



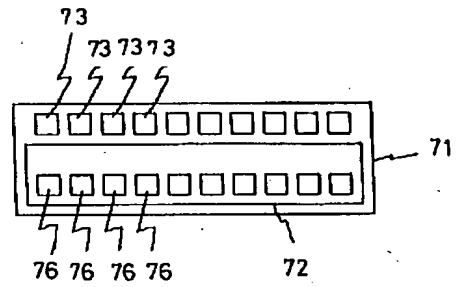
【図 58】



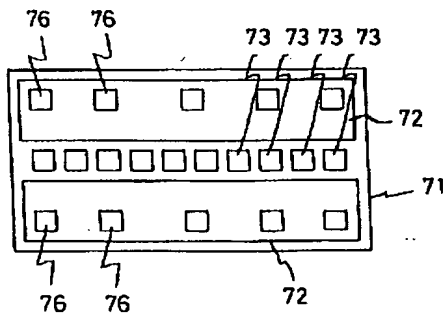
【図 59】



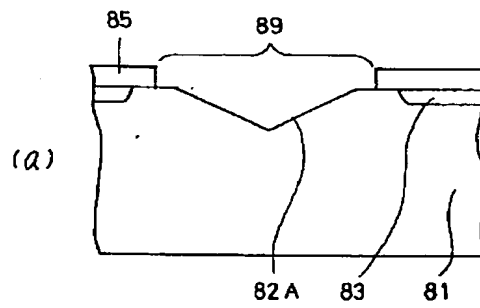
【図 60】



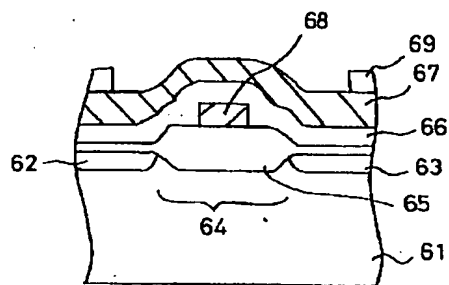
【図 61】



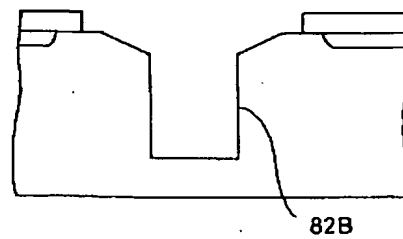
【図 65】



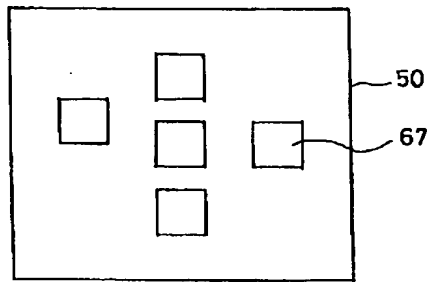
【図 66】



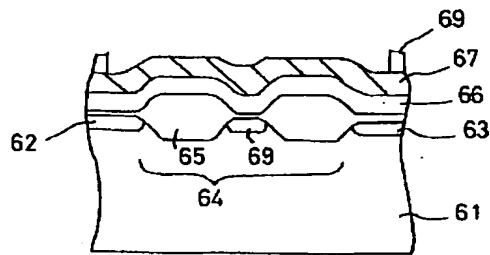
(b)



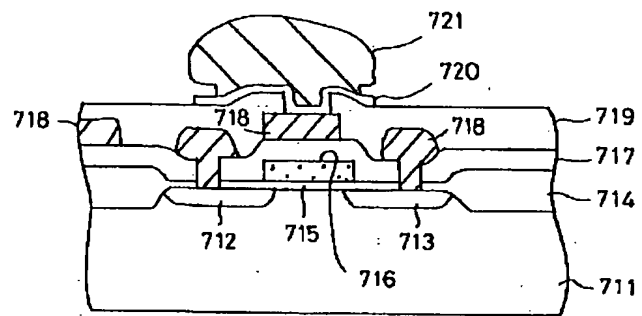
【図67】



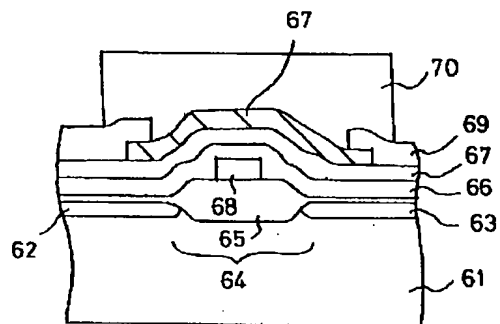
【図68】



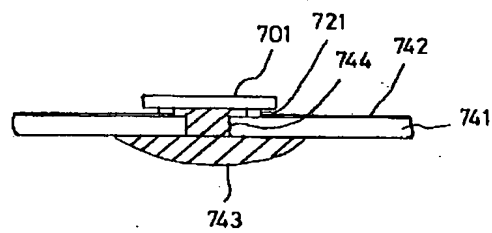
【図70】



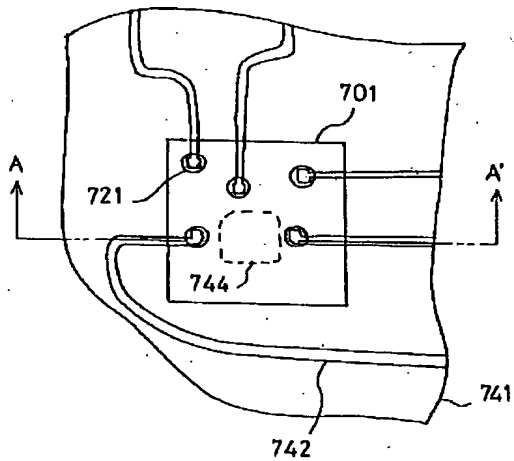
【図69】



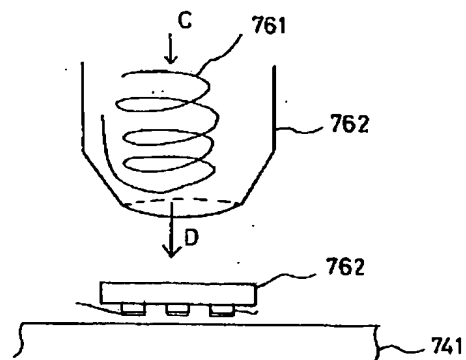
【図73】



【図72】



【図74】



フロントページの続き

(51) Int. Cl.⁶ 識別記号
H O 1 L 27/04
21/822
// H O 1 L 21/321
H O 4 N 1/032

F I
H O 1 L 21/88 T
27/04 A
21/92 6 O 2 N

(31) 優先権主張番号 特願平8-92143
(32) 優先日 平8 (1996) 4月15日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-97119
(32) 優先日 平8 (1996) 4月18日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-119300
(32) 優先日 平8 (1996) 5月14日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-205033
(32) 優先日 平8 (1996) 8月2日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-322001
(32) 優先日 平8 (1996) 12月2日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-322004
(32) 優先日 平8 (1996) 12月2日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-322005
(32) 優先日 平8 (1996) 12月2日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-322003
(32) 優先日 平8 (1996) 12月2日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-328826
(32) 優先日 平8 (1996) 12月9日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-97117
(32) 優先日 平8 (1996) 4月18日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-322002
(32) 優先日 平8 (1996) 12月2日
(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-97118
(32) 優先日 平8 (1996) 4月18日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-119301
(32) 優先日 平8 (1996) 5月14日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-146230
(32) 優先日 平8 (1996) 6月7日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-322006
(32) 優先日 平8 (1996) 12月2日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-336093
(32) 優先日 平8 (1996) 12月16日
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平8-340067
(32) 優先日 平8 (1996) 12月19日
(33) 優先権主張国 日本 (J P)
(72) 発明者 中西 章滋
千葉県千葉市美浜区中瀬1丁目8番地 セ
イコー電子工業株式会社内
(72) 発明者 小島 芳和
千葉県千葉市美浜区中瀬1丁目8番地 セ
イコー電子工業株式会社内
(72) 発明者 門井 聖明
千葉県千葉市美浜区中瀬1丁目8番地 セ
イコー電子工業株式会社内
(72) 発明者 秋葉 隆雄
千葉県千葉市美浜区中瀬1丁目8番地 セ
イコー電子工業株式会社内
(72) 発明者 母家 靖弘
千葉県千葉市美浜区中瀬1丁目8番地 セ
イコー電子工業株式会社内
(72) 発明者 久原 健太郎
千葉県千葉市美浜区中瀬1丁目8番地 セ
イコー電子工業株式会社内